

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Kenichi WATANABE, et al.**

Serial No.: **Not Yet Assigned**

Filed: **December 14, 2000**

For: **SEMICONDUCTOR DEVICE WITH DUAL DAMASCENE WIRING**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Director of Patents and Trademarks
Washington, D.C. 20231

December 14, 2000

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

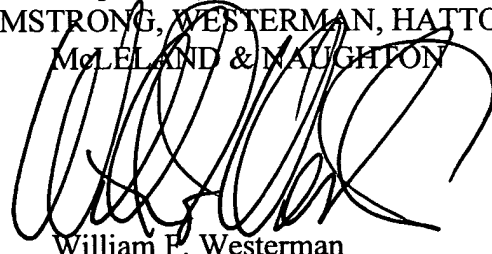
Japanese Appln. No. 2000-221202, filed July 21, 2000

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
ARMSTRONG, WESTERMAN, HATTORI
MCLELLAND & NAUGHTON



William F. Westerman
Reg. No. 29,988

Atty. Docket No.: 001620
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
WFW/ll



#4
6-23-01
Payton

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

717
JCT84 U.S. PTO
09/735479



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 7月21日

出 願 番 号

Application Number:

特願2000-221202

出 願 人

Applicant (s):

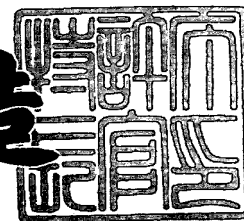
富士通株式会社

富士通ヴィエルエスアイ株式会社

2000年 9月18日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3074969

【書類名】 特許願

【整理番号】 0040332

【提出日】 平成12年 7月21日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/88

【発明の名称】 半導体装置とその製造方法

【請求項の数】 8

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 渡邊 健一

【発明者】

 【住所又は居所】 愛知県春日井市高蔵寺町二丁目1844番2号 富士通ヴィエルエスアイ株式会社内

 【氏名】 駒田 大輔

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 新福 文彦

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【特許出願人】

 【識別番号】 000237617

 【氏名又は名称】 富士通ヴィエルエスアイ株式会社

【代理人】

 【識別番号】 100091340

 【弁理士】

 【氏名又は名称】 高橋 敬四郎

【電話番号】 03-3832-8095

【手数料の表示】

【予納台帳番号】 009852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705794

【包括委任状番号】 9708188

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置とその製造方法

【特許請求の範囲】

【請求項 1】 表面に導電性領域を有する下地と、
前記下地の表面を覆う絶縁性エッチストップ膜と、
前記絶縁性エッチストップ膜上に形成された層間絶縁膜と、
前記層間絶縁膜表面から第 1 の深さで形成された配線用溝と、
前記配線用溝底面から、前記層間絶縁膜の残りの厚さおよび前記絶縁性エッチストップ膜を貫通し、前記導電性領域に達する接続用孔と、
前記配線用溝および前記接続用孔を埋め込んで形成されたデュアルダマシン配線と、
を有し、

前記層間絶縁膜が前記配線用溝の側面および底面を包む第 1 種の絶縁層と、前記第 1 種の絶縁層よりも下に配置され、第 1 種の絶縁層とエッチング特性の異なる第 2 種の絶縁層とを含む半導体装置。

【請求項 2】 前記層間絶縁層が、さらに前記第 2 種の絶縁層の下に配置され、第 2 種の絶縁層とエッチング特性の異なる第 3 種の絶縁層を含み、前記第 2 種の絶縁層が、前記第 1 種の絶縁層のエッチング時にエッチストップとして機能し得る層であり、前記接続用孔は前記第 2 種の絶縁層下部から前記導電性領域表面まで実質的に同一の断面形状を有する請求項 1 記載の半導体装置。

【請求項 3】 前記第 3 種の絶縁層が、前記第 1 の深さより小さい厚さを有する請求項 2 記載の半導体装置。

【請求項 4】 前記第 2 種の絶縁層が前記絶縁性エッチストップ膜上に配置されており、前記第 1 の深さより小さい厚さを有する請求項 1 記載の半導体装置。

【請求項 5】 表面に導電性領域を有する下地上に絶縁性エッチストップ膜を形成する工程と、

前記絶縁性エッチストップ膜上に、第 1 種の絶縁膜とその下に配置され、第 1 種の絶縁膜とエッチング特性の異なる第 2 種の絶縁膜とを含む層間絶縁膜を形成

する工程と、

前記層間絶縁膜の表面から、前記層間絶縁膜を貫通し、前記絶縁性エッチストップパ膜に達する接続用孔を形成する工程と、

前記接続孔内に、前記第 2 種の絶縁膜の表面より下の高さまで有機物の保護物を形成する工程と、

前記接続孔と重複させ、前記層間絶縁膜表面から第 1 種の絶縁膜中第 1 の深さまで配線用溝を形成する工程と、

前記保護物を除去する工程と、

前記絶縁性エッチストップパ膜を除去し、導電性領域を有する下地までの接続用孔を貫通させる工程と、

前記配線用溝および前記接続用孔を埋め込んでデュアルダマシン配線を形成する工程と、

を有する半導体装置の製造方法。

【請求項 6】 表面に導電性領域を有する下地上に絶縁性エッチストップパ膜を形成する工程と、

前記絶縁性エッチストップパ膜上に、第 1 種の絶縁膜とその下に配置され、第 1 種の絶縁膜とエッチング特性の異なる第 2 種の絶縁膜とを含む層間絶縁膜を形成する工程と、

前記層間絶縁膜の表面から、前記第 1 種の絶縁膜を貫通し、前記第 2 種の絶縁膜に達する接続用孔を形成する第 1 エッチング工程と、

前記接続孔と重複させ、前記層間絶縁膜表面から第 1 種の絶縁膜中第 1 の深さまで配線用溝を形成するとともに、前記接続孔下の残りの層間絶縁膜を除去する第 2 エッチング工程と、

前記絶縁性エッチストップパ膜を除去し、導電性領域を有する下地までの接続用孔を貫通させる工程と、

前記配線用溝および前記接続用孔を埋め込んでデュアルダマシン配線を形成する工程と、

を有する半導体装置の製造方法。

【請求項 7】 表面に導電性領域を有する下地上に絶縁性エッチストップパ膜

を形成する工程と、

前記絶縁性エッチストップパ膜上に、下から第 1 種の絶縁膜と第 2 種の絶縁膜と第 3 種の絶縁膜とを含み、第 2 種の絶縁膜は、第 1 種および第 3 種の絶縁膜とエッチング特性の異なる層間絶縁膜を形成する工程と、

前記層間膜表面から、前記第 3 種絶縁膜、第 2 種絶縁膜、第 1 種絶縁膜を貫通し、前記絶縁性エッチストップパ膜に達する接続用孔を形成する第 1 エッチング工程と、

前記接続孔内に前記第 1 種の絶縁膜表面より高く、前記第 2 種の絶縁膜表面より低い高さまで有機物の保護詰物を形成する工程と、

前記接続孔と重複させ、前記層間絶縁膜表面から第 3 種の絶縁膜中第 1 の深さまで配線用溝を形成する第 2 エッチング工程と、

前記保護詰物を除去し、前記接続用孔内に前記絶縁性エッチストップパ膜を露出させる工程と、

露出した前記エッチストップパ膜をエッチングする第 3 エッチング工程と、

前記配線用溝および前記接続孔を埋め込んでデュアルダマシン配線を形成する工程と、

を有する半導体装置の製造方法。

【請求項 8】 表面に導電性領域を有する下地上に絶縁性エッチストップパ膜を形成する工程と、

前記絶縁性エッチストップパ膜上に、下から第 1 種の絶縁膜と第 2 種の絶縁膜と第 3 種の絶縁膜とを含み、第 2 種の絶縁膜は第 1 種および第 3 種の絶縁膜とエッチング特性の異なる層間絶縁膜を形成する工程と、

前記層間絶縁膜の表面から、前記第 3 種の絶縁膜を貫通し、前記第 2 種の絶縁膜に達する接続用孔を形成する第 1 エッチング工程と、

前記接続孔底面に露出した第 2 種の絶縁膜をエッチングする第 2 エッチング工程と、

前記接続孔と重複させ、前記層間絶縁膜表面から第 3 種の絶縁膜中第 1 の深さで配線用溝を形成するとともに、前記接続孔下の第 1 種の絶縁膜をエッチングして前記エッチストップパ膜を露出する第 3 エッチング工程と、

露出した前記エッチストップ膜をエッチングする第4エッチング工程と
前記配線用溝および前記接続用孔を埋め込んでデュアルダマシン配線を形成する工程と、
を有する半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置およびその製造方法に関し、特にデュアルダマシン配線を有する半導体装置およびその製造方法に関する。

【0002】

本明細書において、エッチストップとは、あるエッチングにおいてエッチング対象物のエッチレートに対して $1/5$ 以下のエッチレートを示しうるものを言う。また、あるエッチングにおいてエッチング対象物のエッチレートに対して、約 $1/2$ ～約2のエッチレートを示す場合、類似のエッチレートを有すると言う。

【0003】

【従来の技術】

半導体装置においては、ますます集積度の向上が要求されている。従来の配線は、Al、Wなどで形成していた。絶縁層上にAl配線層やW配線層を形成した後、その上にレジストパターン等のエッチングマスクを形成し、配線層をパターニングし、絶縁層で埋め込むことによって配線を形成していた。

集積度の向上と共に、配線の幅を減少し、配線間間隔を減少することが要求される。このような微細化に伴い、配線間容量は増加する。また、配線の断面積を減少すると、抵抗増加につながる。容量の増加や抵抗の増加は、配線における信号伝達速度を低下させ、動作速度向上の障害となる。

【0004】

配線抵抗低減のために、従来のAlやWに比べ抵抗率の低いCuを用いた配線が採用されるようになった。Cuは、エッチングによってパターニングすることが困難なため、Cu配線形成のためには、絶縁層表面部に配線用溝を形成し、この配線用溝内に配線層を埋め込み、絶縁層表面上の余分の配線層を化学機械研磨

(CMP)によって除去するダマシン配線プロセスが用いられる。

【0005】

配線層間の接続のためには、配線層間をビア導電体で接続する必要がある。ダマシンプロセスとしては、ビア孔を形成し、ビア導電体で埋め戻した後、配線用溝を形成し配線を埋め込むシングルダマシンプロセスと、ビア孔と配線用溝を作成した後、同時にビア孔と配線用溝に配線材料を埋め戻すデュアルダマシンプロセスとがある。工程の簡略化の観点からは、デュアルダマシンプロセスが優れている。

【0006】

デュアルダマシンプロセスにもビア孔を先に形成し、その後配線溝を形成する先ビア方式と、配線用溝を形成した後、ビア孔を形成する後ビア方式が知られている。下層との接続の確実性の点からは、先ビア方式が優れていると考えられる。

【0007】

以下、図13、14を参照し、先ビア方式のデュアルダマシンプロセスの例を説明する。

【0008】

図13(A)に示すように、導電性領域111を有する下地110の表面上に、SiNなどの第1エッチストップ層112を成膜する。下地は、半導体基板でも、その上に形成した絶縁層でもよい。導電性領域111は、半導体領域でも、配線でもよい。導電性領域111がCu配線である場合には、Cu配線の表面は極めて酸化されやすいため、エッチストップ層が必要である。

【0009】

第1エッチストップ層112の上に、第1層間絶縁膜113をシリコン酸化物などにより形成する。第1層間絶縁膜113の上に、配線用溝形成の際のエッチストップとして機能する第2エッチストップ層114を成膜する。第2エッチストップ層114の上に、配線用溝を形成する絶縁層となる第2層間絶縁膜115を形成し、その上にレジスト層パターニングの際の反射防止機能を有するSiN膜等の絶縁性反射防止膜116を形成する。

【 0 0 1 0 】

図 1 3 (B) に示すように、絶縁性反射防止膜 1 1 6 の上にレジスト層を形成し、露光現像してレジストパターン P R 1 を作成する。レジストパターン P R 1 は、ビア孔に対応する開口 1 0 1 を有する。

【 0 0 1 1 】

レジストパターン P R 1 をエッチングマスクとし、反射防止膜 1 1 6 、第 2 層間絶縁膜 1 1 5 、第 2 エッチストッパ層 1 1 4 、第 1 層間絶縁膜 1 1 3 を異方的にエッチングする。このようにして、レジストパターン P R 1 の開口 1 0 1 に対応したビア孔 1 0 2 が形成される。オーバーエッチングを行なうと、第 1 エッチストッパ層 1 1 2 も若干エッチングされる。場合により、第 1 エッチストッパ層 1 1 2 が消滅し、下地の導電性領域 1 1 1 がダメージを受けることがある。その後レジストパターン P R 1 は除去する。

【 0 0 1 2 】

図 1 3 (C) に示すように、反射防止膜 1 1 6 上にレジスト層を形成し、露光現像して第 2 のレジストパターン P R 2 を形成する。レジストパターン P R 2 は、ビア孔 1 0 2 を含む領域に配線用溝に対応する開口 1 0 3 を有する。

【 0 0 1 3 】

図 1 3 (D) に示すように、レジストパターン P R 2 をエッチングマスクとして用い、反射防止膜 1 1 6 、第 2 層間絶縁膜 1 1 5 のエッチングを行なう。第 2 エッチストッパ層 1 1 4 は、このエッチングに対するエッチストッパとして機能する。

【 0 0 1 4 】

なお、図 1 3 (D) のプロセスの際、第 1 エッチストッパ層 1 1 2 の膜質、厚さが不十分であると、エッチング中に第 1 エッチストッパ層 1 1 2 がエッチされ、下地の導電性領域 1 1 1 表面がダメージを受けることがある。

【 0 0 1 5 】

図 1 4 (E) に示すように、第 2 のレジストパターン P R 2 を酸素プラズマによるアッシングにより除去する。第 1 のエッチストッパ層 1 1 2 が十分残っていない場合、このアッシング工程において酸素プラズマが、導電性領域 1 1 1 の表

面にダメージを与えることがある。

【0016】

図14（F）に示すように、反射防止膜116、配線用溝底面に露出した第2エッチストップパ層114、ビア孔内に露出した第1エッチストップパ層112を異方性エッチングで除去する。その後、デュアルダマシン配線160を形成する。

【0017】

上述の例は、配線用溝のエッチングの際、第2エッチストップパ層114を用い、配線用溝のエッチングを第2エッチストップパ層で停止させている。従って、配線用溝底面にはエッチストップパ層114が残る。露出している第2エッチストップパ層を除去しても、デュアルダマシン配線160の配線部側面が第2エッチストップパ層114と接触する。

【0018】

エッチストップパ機能を有する絶縁層は、一般的に誘電率が高く、配線用溝側面にエッチストップパ層が存在すると、配線間容量の増大につながる。そこで、配線用溝エッチング用の第2エッチストップパ層を用いないプロセスが提案されている。

【0019】

図14（G）に示すように、下地110上にエッチストップパ層112、層間絶縁膜113を形成した後、その表面に反射防止膜116を形成する。反射防止膜116の上にレジストパターンを形成し、前述の例と同様にエッチストップパ層112に達するビア孔102を形成する。その後配線用溝を形成するためのレジストパターンPR2を形成する。

【0020】

図14（H）に示すように、レジストパターンPR2をマスクとし、反射防止膜116をエッチングした後、第1層間絶縁膜113の所定厚さをコントロールエッチングする。エッチストップパ層を用いないので、エッチング時間の制御によりエッチング深さを制御する。このようにして、ビア孔102に連続した配線用溝104を形成する。なお、エッチストップパ層を用いないため、ビア孔肩部がエッチングされ、ビア孔の断面積は上方に向かって徐々に増加する形状となる。

【 0 0 2 1 】

なおこの例においても、ビア孔 1 0 2 のエッチングや配線用溝 1 0 4 のエッチングの際、第 1 エッチストップ層 1 1 2 がエッチングされたりすると、その下の導電領域 1 1 1 がダメージを受けることがある。

【 0 0 2 2 】

このように、先ビア方式のデュアルダマシンプロセスにおいては、ビア孔底部に形成されたエッチストップ層が損傷を受け、エッチストップ層下部の導電領域にダメージを受けることがある。

【 0 0 2 3 】

ビア孔下方の導電性領域がダメージを受けにくくするために、ビア孔に詰め物を埋め込むプロセスが提案されている。

【 0 0 2 4 】

図 1 5 は、配線用溝のエッチングにエッチストップ層を利用し、ビア孔に詰め物を入れるプロセスの例を示す。導電性領域 1 1 1 を有する下地 1 1 0 の上に、第 1 エッチストップ層 1 1 2、第 1 層間絶縁膜 1 1 3、第 2 エッチストップ層 1 1 4、第 2 層間絶縁膜 1 1 5、反射防止膜 1 1 6 が積層される。レジストパターンを用いて第 1 エッチストップ層 1 1 2 に達するビア孔 1 0 2 が形成される。

【 0 0 2 5 】

このビア孔 1 0 2 の下方部分に、エッチングの際保護物となる詰め物 1 5 5 が埋め込まれる。反射防止膜 1 1 6 の上に、配線用溝形成のための開口 1 0 3 を有するレジストパターン P R 2 が形成される。

【 0 0 2 6 】

図 1 5 (B) に示すように、レジストパターン P R 2 をエッチングマスクとし、反射防止膜 1 1 6、第 2 層間絶縁膜 1 1 5 を異方的にエッチングする。ビア孔 1 0 2 下方の第 1 エッチストップ層 1 1 2 は詰め物 1 5 5 で覆われているため、エッチングから保護されている。

【 0 0 2 7 】

図 1 5 (C) に示すように、レジストパターン P R 2 をアッシングで除去する。詰め物 1 5 5 が有機物で形成してある場合、アッシングで同時に除去すること

が出来る。なお、詰め物 1 5 5 とレジストパターン P R 2 を別々の除去工程で除去することも可能である。

【 0 0 2 8 】

第 1 エッチストッパ層 1 1 2 は、配線用溝のエッチングから保護されているため、アッシングを受けてもその下の導電性領域 1 1 1 がダメージを受けることが少ない。

【 0 0 2 9 】

図 1 5 (D) に示すように、第 2 層間絶縁膜 1 1 5 上の反射防止膜 1 1 6 、配線用溝底面に露出した第 2 エッチストッパ層 1 1 4 、ビア孔内に露出した第 1 エッチストッパ層 1 1 2 をエッチングで除去する。このようにして、配線用溝、ビア孔が下地中の導電性領域 1 1 1 と接続された状態で形成される。

【 0 0 3 0 】

図 1 5 (E) に示すように、配線層を形成し、第 2 層間絶縁膜 1 1 5 表面上の部分を CMP で除去することにより、ビア孔および配線用溝を埋め込むデュアルダマシン配線 1 6 0 が形成される。

【 0 0 3 1 】

【発明が解決しようとする課題】

以上説明したように、従来のデュアルダマシン工程によれば、デュアルダマシン配線の下に配置される導電性領域の表面を十分保護し、信頼性の高い配線構造を形成することが必ずしも容易でなかった。

【 0 0 3 2 】

本発明の目的は、下層導電層の表面を十分保護することができ、信頼性の高いデュアルダマシン配線を有する半導体装置の製造方法を提供することである。

【 0 0 3 3 】

本発明の他の目的は、このようなデュアルダマシンプロセスを用いるのに適した構造を有する半導体装置を提供することである。

【 0 0 3 4 】

【課題を解決するための手段】

本発明の 1 観点によれば、表面に導電性領域を有する下地と、前記下地の表面

を覆う絶縁性エッチストップ膜と、前記絶縁性エッチストップ膜上に形成された層間絶縁膜と、前記層間絶縁膜表面から第1の深さで形成された配線用溝と、前記配線用溝底面から、前記層間絶縁膜の残りの厚さおよび前記絶縁性エッチストップ膜を貫通し、前記導電性領域に達する接続用孔と、前記配線用溝および前記接続用孔を埋め込んで形成されたデュアルダマシン配線と、を有し、前記層間絶縁膜が前記配線用溝の側面および底面を包む第1種の絶縁層と、前記第1種の絶縁層よりも下に配置され、第1種の絶縁層とエッチング特性の異なる第2種の絶縁層とを含む半導体装置が提供される。

【0035】

本発明の他の観点によれば、表面に導電性領域を有する下地上に絶縁性エッチストップ膜を形成する工程と、前記絶縁性エッチストップ膜上に、第1種の絶縁膜とその下に配置され、第1種の絶縁膜とエッチング特性の異なる第2種の絶縁膜とを含む層間絶縁膜を形成する工程と、前記層間絶縁膜の表面から、前記層間絶縁膜を貫通し、前記絶縁性エッチストップ膜に達する接続用孔を形成する工程と、前記接続孔内に、前記第2種の絶縁膜の表面より下の高さまで有機物の保護詰物を形成する工程と、前記接続孔と重複させ、前記層間絶縁膜表面から第1種の絶縁膜中第1の深さまで配線用溝を形成する工程と、前記保護詰物を除去する工程と、前記配線用溝および前記接続用孔を埋め込んでデュアルダマシン配線を形成する工程と、を有する半導体装置の製造方法が提供される。

【0036】

【発明の実施の形態】

本発明者らは従来技術の問題点について、より詳細に考察した。図15に示すプロセスにおいて、第1エッチストップ層112を十分保護しようとする、詰め物155を厚く形成する必要がある。ところが、ビア孔102の高さを制限しようとする、詰め物155の高さも制限されることになる。

【0037】

詰め物155の高さを低くすると、配線用溝のエッチングの際、詰め物が無くなり、ビア孔底面に露出した第1エッチストップ層112がダメージを受けることがある。第1エッチストップ層がダメージを受けないように詰め物155の高さ

を高くすると、配線用溝エッチングの際に詰め物 1 5 5 が第 2 エッチストップパ層 1 1 4 よりも上に突出し、シャドーイングと呼ばれる現象が生じる。

【 0 0 3 8 】

このシャドーイングが生じると、詰め物 1 5 5 の側壁部にエッチング残さが残る。ビア開口部やその周辺の配線用溝にエッチング残さが残ると、その後の Cu などの金属埋め込み工程で不良が発生し易くなる。

【 0 0 3 9 】

図 1 6 は、配線用溝底面にエッチストップパ層を配置しない場合の詰め物を用いたデュアルダマシンプロセスの例を示す。

【 0 0 4 0 】

図 1 6 (A) に示すように、導電性領域 1 1 1 を有する下地 1 1 0 の上に、エッチストップパ層 1 1 2、層間絶縁膜 1 1 3、反射防止膜 1 1 6 が積層されている。レジストパターンを用いてビア孔 1 0 2 を形成した後、ビア孔下部に詰め物 1 5 5 を形成する。その後反射防止膜 1 1 6 表面上に配線用溝形成用のレジストパターン P R 2 を形成する。

【 0 0 4 1 】

図 1 6 (B) に示すように、レジストパターン P R 2 をエッチングマスクとし、反射防止膜 1 1 6、層間絶縁膜 1 1 3 の部分的エッチングを行なう。この際、ビア孔下部には詰め物 1 5 5 が形成されており、その下のエッチストップパ層 1 1 2 は、エッチングから保護されている。

【 0 0 4 2 】

しかし、詰め物 1 5 5 は、その周囲の層間絶縁膜 1 1 3 とはエッチング特性が異なる。このため、詰め物 1 5 5 がマスクとなり、シャドーイングと呼ばれる現象が生じる。すなわち、詰め物 1 5 5 の側部に深い切れ込みが形成され易い。また、切れ込みは詰め物 1 5 5 の側壁から離れていくように形成され、詰め物 1 5 5 周囲の層間絶縁膜には、鋭い突出部が形成される。この現象を、以下異常エッチングと呼ぶことがある。

【 0 0 4 3 】

図 1 6 (C) に示すように、配線用溝をエッチングした後、レジストパターン

PR2をアッシングにより除去する。詰め物155が有機物で形成されている場合は、アッシングにより詰め物155も同時に除去される。なお、ビア孔上部には、シャドーイングにより生じた突出部や深い切れ込み部が形成されている。

【0044】

図16(D)に示すように、層間絶縁膜113表面上の反射防止膜116およびビア孔内に露出したエッチストップ層112のエッチングを行なう。

【0045】

図16(E)に示すように、配線用溝およびビア孔内にデュアルダマシン配線160の埋め込みを行なう。しかしながら、ビア孔周辺に鋭い突出部や深い切れ込みが形成されているため、配線160形成の際に、ボイドが発生し易い。ボイドが生じると、下層配線111と上層配線160の電氣的接続が不十分となり易い。

【0046】

本発明者らは、なぜ図16に示すような異常エッチングや下地導電体のダメージが生じるかを考察した。考察の内容を図17、図18、図19を参照して説明する。

【0047】

図17(A)に示すように、導電性領域111を有する下地110の表面上に、エッチストップ層112、層間絶縁膜113を形成した後、反射防止膜116を積層する。反射防止膜116の上にレジストマスクを形成し、ビア孔をエッチストップ層112表面まで形成する。その後、ビア孔形成に用いたレジストパターンを除去し、配線溝形成用のレジストパターンPR2を作成する。その後、ビア孔内に詰め物155を形成する。ここで、図17(A)においては詰め物155を高さ600nm形成する。

【0048】

図18(A)においては、詰め物155を高さ400nm形成する。又、図19(A)においては、詰め物155を高さ200nm形成する。その他の条件は、図17(A)と同様である。このように、詰め物の高さが異なる場合、配線用溝をエッチングして行く工程において、どのような変化が現れるかを考察する。

【0049】

図17(B)、図18(B)、図19(B)は、それぞれ配線用溝を形成するため、層間絶縁膜113を深さ400nmエッチングした状態を示す。層間絶縁膜113のエッチング共に、詰め物155もエッチされるが、ビア孔内の詰め物155は残っている。ビア孔の上縁部(肩部)は、斜めにエッチングされる。

【0050】

図17(C)、図18(C)、図19(C)は、配線用溝を深さ600nmエッチングした状態を示す。詰め物155が200nm形成されていた図19(C)の場合、配線溝のエッチングにより詰め物155が消滅している。従って、さらにエッチングを進めるとビア孔下のエッチストップ層112がエッチングの影響を受ける。

【0051】

図17(D)、図18(D)、図19(D)は、配線用溝を深さ800nmエッチした状態を示す。図19(D)においては、エッチストップ層112がエッチされ、さらに下地内の導電性領域111がエッチされてしまう。従って、このような状態でデュアルダマシン配線を形成しても、配線の電気的特性は保証されず、信頼性の低い配線となってしまふ。

【0052】

図17(D)においては、詰め物155は十分残っているが、詰め物155の表面がエッチングされた肩部のエッチ表面よりも上に突出する形状となり、異常エッチングが発生している。

【0053】

図18(D)においては、エッチングされた肩の領域が詰め物155表面に達し、エッチング残さが生じる状態となっている。現在は異常エッチングが生じていなくてもやがて異常エッチングが生じる状態である。

【0054】

ここで定量的考察を行なう。図17(A)、(C)に示すように、層間絶縁膜113の厚さを h 、詰め物155の高さを z 、溝エッチングの深さを y 、ビア孔肩部の最大深さを x 、詰め物155の残り高さを z' とする。詰め物の膜減り量

は $\Delta z = z - z'$ である。層間絶縁膜のエッチレートに対する詰め物のエッチレート比を b とする。

【0055】

詰め物の膜減り量は、 $\Delta z = y / b$ と表せる。従って、 $z' = z - \Delta z = z - (y / b)$ となる。肩部のエッチング深さ x を、 $x = \{1 + (1 / 1.4)\} y$ とする。すると、エッチング残さがでない条件は、

$h - x = h - \{1 + (1 / 1.4)\} y > z' = z - (y / b)$ となる。ビア底を保護するために必要な詰め物の高さは、 $z > (y / b)$ である。エッチング深さ y を大きくすると、 z も大きくしなくてはならないが、 z を大きくするとエッチング残さがでやすくなる。

【0056】

このように、層間絶縁膜中にエッチストップ層を設けないコントロールエッチングにおいては、配線用溝のエッチング深さが深くなる程異常エッチングが生じ易くなる。詰め物の高さを低くすれば、異常エッチングは生じないが、エッチストップ層がダメージを受け、さらに下地の導電性領域がダメージを受ける危険性が高くなる。厚い配線を形成するために深い配線溝を形成する時が問題である。

【0057】

図17、18、19に示した例においては、エッチング深さ400nmまでは障害が生じなくても、エッチング深さ800nmでは良好な結果を得ることができない。一般的に500nm以上深い溝エッチングを行なおうとすると問題が生じる。

【0058】

以下、図面を参照して本発明の実施例を説明する。

【0059】

図1(A)に示すように、導電性領域11を有する下地10の上に、SiN等で形成された第1エッチストップ層12、弗素含有シリコン酸化物(FSG)等で形成された第1層間絶縁膜13、窒化シリコン(SiN)等で形成された第2エッチストップ層14、弗素含有酸化物等で形成された第2層間絶縁膜15、SiN等で形成された絶縁性反射防止膜16を積層する。

【0060】

FSGは、通常の酸化シリコンより低い誘電率を有する。弗素の含有量等により、誘電率を可変制御することもできる。窒化シリコンは、酸化シリコンのエッチングに対して極めて低いエッチレートとすることができ、エッチストップとすることができるが、誘電率は酸化シリコンの誘電率よりも高い。

【0061】

これらの積層は、化学気相堆積（CVD）によって形成することができる。第1エッチストップ層12、第2エッチストップ層14は、例えばSiN膜によって形成する。第1層間絶縁膜13は、例えば弗素含有シリコン酸化物によって形成する。第2層間絶縁膜15は、例えば第1層間絶縁膜13よりも厚い弗素含有シリコン酸化物によって形成する。反射防止膜16は、例えばSiN膜によって形成する。

【0062】

この積層構造は、図15（A）に示したものと同様であるが、図15（A）と較べると第2エッチストップ層14がより下地10に近い位置に配置されている。すなわち、第1層間絶縁膜13が薄く、第2層間絶縁膜15が厚く形成されている。配線用溝は、第2層間絶縁膜15の上部にコントロールエッチングで形成される。

【0063】

反射防止膜16上にレジストパターンを形成し、第1エッチストップ層12に達するビア孔HPを形成する。その後レジストパターンは除去し、ビア孔HPの下部に有機物の保護詰め物55を形成する。保護詰め物55は、例えば感光材を除去したレジスト材料で形成する。詰め物55の高さは、現像液による詰め物の除去を時間制御することにより行なうことが出来る。詰め物55の上面は、第2エッチストップ層14の上面よりも上に位置されないことが好ましい。

【0064】

反射防止膜16の上に、配線用溝の形状を有する開口WAを形成したレジストパターンPR2を形成する。

【0065】

図1 (B) に示すように、開口WAを有するレジストパターンPR2をマスクとし、反射防止膜16をエッチングした後、第2層間絶縁膜15のコントロールエッチングを行なう。エッチャントガスとしては、例えば、CFを含むガスとO₂を含むガスとの混合ガスを用いる。

【0066】

エッチング深さは、第2層間絶縁膜15の中間までの深さに選択する。このようにして、第2層間絶縁膜15に、配線用溝WGが形成される。配線用溝WGの側面および底面は、誘電率の低い第2層間絶縁膜15で画定されており、第2エッチストップ層14は配線用溝底面より下方に配置されている。

【0067】

第2エッチストップ層14は、配線用溝のエッチングにおいてはエッチストップ層として機能していない。しかし、ビア孔HP内の詰物55の周囲を囲み、肩部のエッチングを抑制し、異常エッチングの発生を防止している。

【0068】

配線用溝のエッチングの後、アッシングを行なう。

【0069】

図1 (C) に示すように、アッシングによってレジストパターンPR2および有機物の保護詰め物55が除去される。

【0070】

図1 (D) に示すように、例えばCHF₃+O₂をエッチングガスとして用い、反射防止膜16および第1エッチストップ層12のシリコン窒化膜をエッチングする。

【0071】

図1 (E) に示すように、配線用溝およびビア孔内にデュアルダマシン配線60を形成する。デュアルダマシン配線60は、例えばTa₂N₅をスパッタしてバリア層を形成した後、Cuのシード層、Cuの主配線層を形成する。Cu層の形成は、例えばメッキにより行なうことができる。第2層間絶縁膜15上面上に堆積したバリア層、シード層、主配線層は、CMP等により除去する。

【0072】

本実施例によれば、詰め物 5 5 の上面は、SiN で形成された第 2 エッチストップ層 1 4 の上面以下の高さに位置しているため、配線用溝のエッチングにおいてビア孔周囲の異常エッチングが抑制される。このため、配線用溝に連続するビア孔の形状が滑らかとなり、バリア層が配線溝、ビア孔の内面に良く付着し、その後のバリア層形成、主配線層形成を良好に行なうことができる。

【 0 0 7 3 】

第 2 エッチストップ層 1 4 は、比較的高い誘電率を有するが、この第 2 エッチストップ層 1 4 は主配線層よりも下に位置している。従って、配線間容量の増大は抑制される。ビア孔は基板面内でわずかに分布するのみであり、第 2 エッチストップ層が配線溝側壁と接する場合と較べ、付随容量に与える影響は小さい。

【 0 0 7 4 】

なお、図 1 (D) に示す第 1 エッチストップ層 1 2 のエッチング工程において、第 2 層間絶縁膜がエッチングされることもある。

【 0 0 7 5 】

図 1 (F) は、図 1 (D) に示す第 1 エッチストップ層 1 2 のエッチング工程において配線用溝底面の第 2 層間絶縁膜 1 5 がエッチングされ、第 2 エッチストップ層 1 4 が露出された場合を示す。第 2 エッチストップ層 1 4 が露出することにより、配線の付随容量は若干増加する。しかし、導電性領域 1 1 表面のダメージを防止し、かつ異常エッチングを防止する効果は保たれる。

【 0 0 7 6 】

なお、第 2 のエッチストップ層 1 4 をどの高さに形成するのが好ましいかを以下補足的に説明する。第 2 のエッチストップ層 1 4 を省略した状態の層間絶縁膜の厚さを例えば 1 5 0 0 nm とする。この層間絶縁膜に配線用溝として深さ 8 0 0 nm の溝を形成する場合を考察する。保護用詰め物の高さは 6 0 0 nm とする。

【 0 0 7 7 】

図 2 0 (A A) は、第 2 のエッチストップ層 1 4 を用いないで深さ 8 0 0 nm の溝を形成した場合の断面構造を概略的に示す。ビア孔近傍において肩部のエッチングが進み、詰め物 5 5 の周囲に異常エッチングが生じている。

【 0 0 7 8 】

図 2 0 (B A) は、レジストパターン P R 2 及び詰め物 5 5 を除去した状態を示す。層間絶縁膜はビア孔周辺において鋭い突起と切れ込みを有し、その後のデュアルダマシン配線の形成を困難にする。

【 0 0 7 9 】

図 2 0 (A B) は、エッチストップ層を層間絶縁膜の下から 2 0 0 n m の位置に配置した場合を示す。この場合にも、ビア孔周辺の肩部のエッチングは進行し、詰め物 5 5 の表面がエッチング表面よりも上に突出し、その周囲で異常エッチングが生じている。

【 0 0 8 0 】

図 2 0 (B B) は、レジストパターン P R 2 を除去した状態を示す。ビア周辺の層間絶縁膜は鋭い突起と深い切れ込みを有している。

【 0 0 8 1 】

図 2 0 (A C) 、 (B C) は、第 2 のエッチストップ層 1 4 を層間絶縁膜の底面から高さ約 4 0 0 n m の位置に配置した場合を示す。肩部のエッチングは、第 2 のエッチストップ層 1 4 でストップされ、ビア孔の下部に詰め物 5 5 が残留している。

【 0 0 8 2 】

図 2 0 (B C) に示すように、レジストパターン P R 2 を除去すると、ビア孔周辺で緩やかな傾きの肩部を有するデュアルダマシン配線溝が形成されている。

【 0 0 8 3 】

図 2 0 (A D) 、 (B D) は、第 2 のエッチストップ層 1 4 を層間絶縁膜底面から高さ約 6 0 0 n m の位置に配置した場合を示す。ビア孔周辺の肩部のエッチングが進行し、第 2 のエッチストップ層 1 4 が露出すると、肩部のエッチングはそれ以後ほぼ進行しない状態となる。

【 0 0 8 4 】

図 2 0 (B D) に示すように、レジストパターン P R 2 を除去すると、ほぼ平坦な平面を有する配線用溝と周囲に異常エッチングが生じていないビア孔が得られる。このように、ビア孔周辺で肩部のエッチングが進行し、エッチストップ層

が露出した時点で詰め物の上面の高さが肩部の最も低い位置よりもさらに下部に配置するようにすれば、異常エッチングを効率的に防止し、良好な形状を得ることができる。

【 0 0 8 5 】

図 1 の実施例においては、層間絶縁膜を 3 層の積層構造で形成した。層間絶縁膜の構成をより簡略化することもできる。

【 0 0 8 6 】

図 2 は、層間絶縁膜を 2 層の積層構造で形成する場合を示す。図 2 (A) に示すように、導電性領域 1 1 を有する下地 1 0 の上に、エッチストップ層 1 2、プラズマ SiO_2 等で形成された第 1 層間絶縁膜 5 6、弗素含有シリコン酸化物等で形成された第 2 層間絶縁膜 1 5、 SiN 等で形成された反射防止膜 1 6 を積層する。

【 0 0 8 7 】

第 1 層間絶縁膜 5 6、第 2 層間絶縁膜 1 5 は、類似のエッチレートを有するが、第 1 層間絶縁膜のエッチレートは低く、第 2 層間絶縁膜のエッチレートは高い。

【 0 0 8 8 】

第 2 層間絶縁膜 1 5 の厚さは、その後形成する配線用溝の深さよりも厚く選ぶ。また、第 2 エッチストップ層が存在しないので、第 1 層間絶縁膜 5 6 は厚めに形成することが好ましい。たとえば、第 2 層間絶縁膜 1 5 よりも第 1 層間絶縁膜 5 6 を厚くする。

【 0 0 8 9 】

図 1 の実施例と同様、反射防止膜 1 6 の上にレジストパターンを形成し、反射防止膜 1 6、第 2 層間絶縁膜 1 5、第 1 層間絶縁膜 5 6 の異方性エッチングを行ない、ビア孔 HP を形成する。その後レジストパターンは除去し、ビア孔 HP の底部に有機化合物の保護詰め物 5 5 を形成する。保護詰め物 5 5 は、第 1 の実施例と同様であり、第 1 層間絶縁膜 5 6 表面よりも低い高さまで形成する。第 1 層間絶縁膜 5 6、第 2 層間絶縁膜 1 5 は、類似のエッチレートを有する。

【 0 0 9 0 】

反射防止膜 1 6 の上に、配線用溝のパターンに対応する開口 W A を有するレジストパターン P R 2 を形成する。

【 0 0 9 1 】

図 2 (B) に示すように、開口 W A を有するレジストパターン P R 2 をエッチングマスクとし、反射防止膜 1 6 、第 2 層間絶縁膜 1 5 のエッチングを行なう。第 2 層間絶縁膜 1 5 のエッチングは、コントロールエッチングとし、時間制御によりエッチ深さを制御する。第 2 層間絶縁膜 1 5 の一部厚さが残った状態でエッチングを停止させる。このようにして、第 2 層間絶縁膜 1 5 に配線用溝 W G が形成される。

【 0 0 9 2 】

保護詰め物 5 5 は、第 2 層間絶縁膜 1 5 よりもエッチングレートの低い第 1 層間絶縁膜 5 6 に囲まれているため、配線用溝のエッチング時に保護詰め物 5 5 周囲に異常エッチングのおこる可能性は少ない。

【 0 0 9 3 】

図 2 (C) に示すように、レジストパターン P R 2 、保護詰め物 5 5 をアッシングにより除去する。

【 0 0 9 4 】

図 2 (D) に示すように、第 2 層間絶縁膜 1 5 上面上の反射防止膜 1 6 、ビア孔底部のエッチストップパ層 1 2 の S i N 膜をエッチングにより除去する。

【 0 0 9 5 】

図 2 (E) に示すように、配線用溝およびビア孔内にデュアルダマシン配線 6 0 を形成する。これらの工程は、第 1 の実施例と同様である。

【 0 0 9 6 】

図 2 に示した実施例において、第 1 層間絶縁膜 5 6 、第 2 層間絶縁膜 1 5 の厚さをどのように選べば良いかをより具体的に説明する。第 2 層間絶縁膜、第 1 層間絶縁膜の和である層間絶縁膜の高さを 1 5 0 0 n m とし、配線用溝の深さを 8 0 0 n m とする。又、ビア孔内への保護用詰め物の高さを約 5 0 0 n m とする。

【 0 0 9 7 】

図 2 1 (A A) 、 (B A) は、1 層の層間絶縁膜 1 5 で層間絶縁膜を形成した

場合を示す。この場合、ビア孔周辺のエッチングが進行し、詰め物55の周辺に異常エッチングが生じてしまう。レジストパターンPR2を除去した状態では、図21(BA)に示すように、ビア孔周辺に鋭い突起と深い切れ込みが生じている。

【0098】

図21(AB)、(BB)は、下方に配置する第1層間絶縁膜56の厚さを約200nm(第2層間絶縁膜15の厚さは1300nm)とした場合を示す。この場合、ビア孔周辺の肩部のエッチングが進行し、第1層間絶縁膜56が露出する時点で異常エッチングが発生している。

【0099】

図21(AC)は、第1層間絶縁膜56の高さを約400nmとした場合を示す。ビア孔周辺の肩部のエッチングが進行し、第1層間絶縁膜55が露出すると、その後肩部のエッチングの進行は緩やかになる。エッチング終了後、レジストパターンPR2を除去した状態では、図21(BC)に示すように、第1層間絶縁膜55の主要部分ではほぼ垂直な側壁を有し、上部で緩やかな傾きの肩部を有するビア孔が得られる。

【0100】

図21(AC)、(BD)は、第1層間絶縁膜55の高さを約600nmとした場合を示す。この場合には、図21(AC)よりも早いタイミングで第1層間絶縁膜55が露出し、その後第1層間絶縁膜44のエッチングは緩やかに進行するため、肩部のエッチング量はより小さくなる。図21(BD)に示すように、レジストパターンPR2を除去した状態では、ほぼ垂直な側壁を有するビア孔主要部とその上部においてわずかに傾斜する肩部を有するデュアルダマシン配線用溝が得られる。

【0101】

このように、詰め物55の表面は、エッチングを抑制する層の上表面よりも下の位置に配置されている場合に良好なエッチング形状を実現することが可能となる。

【0102】

本実施例においては、誘電率の高いSiNなどの第2エッチストップ層を用いないため、配線間容量を低減すると共に、ビア孔間の容量増大も抑制することができる。

【0103】

図2(F)は、図2(D)に示す第1エッチストップ層12のエッチング工程において、配線用溝底面の第2層間絶縁膜15がエッチングされ、第1層間絶縁膜56が露出した場合を示す。配線用溝がさらに第1層間絶縁膜中に入り込む場合もある。第1層間絶縁膜56が露出することにより、配線の付随容量は若干増加する。しかし、導電性領域11表面のダメージを防止し、かつ異常エッチングを防止する効果は保たれる。

【0104】

第2の実施例においては、下部層間絶縁膜をプラズマSiO₂膜で形成した。プラズマSiO₂膜は、エッチレートが低い、誘電率はSiNより低いものの、余り低くない。上下配線層間の容量をさらに低減するためには、誘電率の更に低い材料を使用することが望まれる。

【0105】

図3は、異常エッチング防止用のプラズマSiO₂膜の厚さを制限し、その上下を弗素含有シリコン酸化膜で挟んだ層間絶縁膜を用いる構成を示す。図3(A)に示すように、導電性領域11を有する下地10の上に、SiN等で形成されたエッチストップ層12、弗素含有シリコン酸化膜で形成された第1層間絶縁膜13、プラズマSiO₂膜で形成されたエッチング抑制絶縁層54、弗素含有シリコン酸化膜で形成された第2層間絶縁膜15、SiN等で形成された反射防止膜16を積層する。

【0106】

第1層間絶縁膜13、第2層間絶縁膜15、エッチング抑制絶縁膜54は、保護詰め物と類似のエッチレートを有するが、第1層間絶縁膜13、第2層間絶縁膜15のエッチレートは高く、エッチング抑制絶縁膜54のエッチレートは低い。

【0107】

図 3 (A) の構成は、図 2 (A) の構成における第 1 層間絶縁膜 5 6 を、第 1 層間絶縁膜 1 3 とエッチング抑制絶縁膜 5 4 との積層で置き換えた構成に対応する。

【 0 1 0 8 】

反射防止膜 1 6 上にレジストパターンを形成し、ビア孔 H P を形成する。その後レジストパターンを除去し、ビア孔 H P 下部に有機化合物の保護詰め物 5 5 を形成する。保護詰め物 5 5 の上面は、エッチング抑制絶縁膜 5 4 の上面よりも上に出ず、かつエッチング抑制絶縁膜 5 4 に取り囲まれるように配置する。

【 0 1 0 9 】

反射防止膜 1 6 表面上に、配線溝形成用開口 W A を有するレジストパターン P R 2 を形成する。

【 0 1 1 0 】

図 3 (B) に示すように、レジストパターン P R 2 をエッチングマスクとし、反射防止膜 1 6 をエッチングした後、第 2 層間絶縁膜 1 5 のコントロールエッチングを行う。第 2 層間絶縁膜 1 5 のコントロールエッチングは、第 2 層間絶縁膜の一部厚さが残るように設定する。

【 0 1 1 1 】

この時、ビア孔周囲の肩部において、エッチングが進行するが、その下にエッチレートの高い絶縁層 5 4 が配置されているため、肩部分のエッチングは絶縁層 5 4 で抑制され、保護詰め物 5 5 周囲の異常エッチングは抑制される。

【 0 1 1 2 】

図 3 (C) に示すように、レジストパターン P R 2、保護詰め物 5 5 をアッシングにより除去する。

【 0 1 1 3 】

図 3 (D) に示すように、第 2 層間絶縁膜 1 5 表面上の反射防止膜 1 6、ビア孔底部のエッチストップ層 1 2 をエッチング除去する。このようにして、異常エッチングを抑制しつつ、配線用溝およびビア孔を形成することができる。

【 0 1 1 4 】

図 3 (E) に示すように、配線用溝およびビア孔内にデュアルダマシン配線 6

0を形成する。この工程は、上述の実施例と同様である。

【0115】

図3（F）は、図3（D）に示す第1エッチストップ層12のエッチング工程において、配線用溝底面の第2層間絶縁膜15がエッチングされ、エッチング抑制絶縁層54が露出した場合を示す。配線用溝がさらにエッチング抑制絶縁層中に入り込む場合もある。エッチング抑制絶縁層54が露出することにより、配線の付随容量は若干増加する。しかし、導電性領域11表面のダメージを防止し、かつ異常エッチングを防止する効果は保たれる。

【0116】

上述の実施例においては、下地導電領域表面のダメージを防止するために、ビア孔の下部に詰め物を設けた。以下、詰め物を使用せずにビア孔下方の導電性領域表面をダメージから保護する実施例を説明する。

【0117】

図4および図5は、本発明の他の実施例による半導体装置の製造方法を示す。

【0118】

図4（A）に示すように、銅配線などの導電性領域11を有する下地10の表面上に、第1エッチストップ層12、第1層間絶縁膜13、第2エッチストップ層14、第2層間絶縁膜15、反射防止膜16の積層を形成する。これらの積層は、化学気相堆積（CVD）によって形成することができる。

【0119】

第1エッチストップ層12、第2エッチストップ層14は、例えば厚さ約50nmのSiN膜によって形成する。第1層間絶縁膜13は、例えば厚さ300nmの弗素含有シリコン酸化物によって形成する。第2層間絶縁膜15は、第1層間絶縁膜13よりも厚い、例えば厚さ900nmの弗素含有シリコン酸化物によって形成する。反射防止膜16は、例えば厚さ50nmのSiN膜によって形成する。反射防止膜16の表面上にレジスト膜を塗布し、露光、現像することによってビア孔用の開口HAを有するレジストパターンPR1を形成する。

【0120】

図4（B）に示すように、レジストパターンPR1をエッチングマスクとし、

反射防止膜 1 6、第 2 層間絶縁膜 1 5、第 2 エッチストップ層 1 4 をエッチングする。このエッチングにおいて、SiN 膜 1 6、1 4 に対しては弗素を含有するガスをエッチャントとして用い、弗素含有シリコン酸化物で形成された第 2 層間絶縁膜に対しては例えば CF を含むガスと O₂ を含むガスの混合ガスをエッチャントとして用いる。このエッチングにより形成されたビア孔 HP の下部には、第 1 層間絶縁膜 1 3 が露出する。

【 0 1 2 1 】

図 4 (C) に示すように、アッシングによりレジストパターン PR 1 を除去する。なお、図 4 (B)、(C) の工程において、下地導電領域 1 1 は、第 1 エッチストップ層 1 2、第 1 層間絶縁膜 1 3 で覆われているため、エッチングおよびアッシングによりダメージを受けることから防止されている。

【 0 1 2 2 】

図 4 (D) に示すように、反射防止膜 1 6 上にレジスト層を塗布し、露光、現像することにより配線用開口 WA を有するレジストパターン PR 2 を形成する。

【 0 1 2 3 】

図 5 (E) に示すように、レジストパターン PR 2 をエッチングマスクとし、反射防止膜 1 6 をエッチングした後、第 2 層間絶縁膜 1 5 のコントロールエッチングを行なう。第 2 層間絶縁膜 1 5 のエッチング深さ d 1 は、第 1 層間絶縁膜 1 3 の厚さ d 2 よりも大きな値とする。

【 0 1 2 4 】

このように設定することにより、配線用溝 WG をエッチングする間に、ビア孔下方の第 1 層間絶縁膜 1 3 は完全にエッチングされ、第 1 エッチストップ層 1 2 が露出する。第 1 エッチストップ層 1 2 のエッチレートは、第 2 層間絶縁膜 1 5 のエッチレートよりも十分低くすることができ、配線用溝のエッチングによっても第 1 エッチストップ 1 2 が十分な厚さで残っており、その下の導電性領域がダメージを受けることは容易に防止される。

【 0 1 2 5 】

図 5 (F) に示すように、アッシングによりレジストパターン PR 2 を除去する。このアッシングにおいても、下地 1 0 内の導電性領域 1 1 表面は、第 1 エ

チストップパ層 1 2 によって覆われており、アッシングよりダメージを受けることから防止される。

【 0 1 2 6 】

図 5 (G) に示すように、第 2 層間絶縁膜 1 5 上の反射防止膜 1 6 およびビア孔内に露出した第 1 エッチストップパ層 1 2 をエッチングで除去する。第 1 エッチストップパ層 1 2 が除去され、導電性領域 1 1 を露出するビア孔 H P A が形成される。

【 0 1 2 7 】

図 5 (H) に示すように、配線用溝 W G およびビア孔 H P A 内面上にバリア層 1 9、主配線層 2 0 を埋め込んでデュアルダマシン配線を形成する。なお、第 2 層間絶縁膜 1 5 上に堆積したバリア層、主配線層は、CMP などによって除去する。

【 0 1 2 8 】

本実施例においては、図 4 (B) で作成するビア孔 H P は、導電性領域 1 1 表面を覆うエッチストップパ層 1 2 まで到達せず、その上に形成された第 1 層間絶縁膜 1 3 表面で留まっている。このため、その後行なわれる配線溝形成用エッチングにおいて、第 1 エッチストップパ層 1 2 が十分な厚さで残り、導電性領域がダメージを受けることが容易に防止される。

【 0 1 2 9 】

なお、第 1 層間絶縁膜 1 3 の厚さは、配線用溝形成用のエッチングにおいて完全にエッチされる厚さに選択する。例えば、配線用溝 W G の第 2 層間絶縁膜内における深さ d_1 を 500 nm とし、第 1 層間絶縁膜 1 3 の厚さ d_2 を 300 nm とする。

【 0 1 3 0 】

第 2 層間絶縁膜に配線溝 W G を形成するエッチングのエッチレート比を層間絶縁膜 1 3、1 5 : エッチストップパ層 1 2 = 1 2 : 1 に選択する場合、第 1 層間絶縁膜 1 3 がエッチされた段階で配線用溝は約 300 nm エッチされている。残り 200 nm のエッチングを行なう際、第 1 エッチストップパ層 1 2 は $200 / 12 = 16.6\text{ nm}$ エッチングされることになる。第 1 エッチストップパ層 1 2 は、厚

さ約 5 0 n m 形成されているため、第 1 エッチストップパ層 1 2 は十分な厚さ残り、導電性領域がダメージを受けることは容易に防止される。

【 0 1 3 1 】

又、先に形成したビア孔 H P には、詰め物が設けられておらず、配線用溝のエッチングにおいてビア孔周辺に異常エッチングが生じることが防止される。

【 0 1 3 2 】

図 4、図 5 に示した実施例においては、層間絶縁膜中にエッチストップパ層を配置した構成を用いた。必ずしもエッチストップパ層を用いなくても、同様の効果を上げることが可能である。

【 0 1 3 3 】

図 6 は、本発明の他の実施例による半導体装置の製造方法を示す断面図である。

【 0 1 3 4 】

図 6 (A) に示すように、下地 1 0 表面上に第 1 エッチストップパ層 1 2 を形成した後、プラズマ S i O₂ 膜 1 7 を厚さ約 2 0 0 n m 形成する。このプラズマ S i O₂ 層 1 7 の上に、弗素含有シリコン酸化物で形成された第 2 層間絶縁膜 1 5 を厚さ約 1 0 0 0 n m 形成する。第 2 層間絶縁膜 1 5 上には、反射防止膜 1 6 を厚さ約 5 0 n m 形成する。

【 0 1 3 5 】

この構成においては、図 4 (A) に示す構成における第 1 層間絶縁膜 1 3 と第 2 エッチストップパ層 1 4 との積層がプラズマ S i O₂ 膜で形成された第 1 層間絶縁膜 1 7 に置換された構成となっている。

【 0 1 3 6 】

ビア孔形成用開口 H A を有するレジストパターン P R 1 を反射防止膜 1 6 上に形成し、反射防止膜 1 6、第 2 層間絶縁膜 1 5 のエッチングを行なう。このエッチングにおいては、エッチストップパ層が存在しないため、第 1 層間絶縁膜 1 7 表面は若干オーバーエッチされる。

【 0 1 3 7 】

第 1 層間絶縁膜のエッチレートを、第 2 層間絶縁膜のエッチレートよりも低い

値に設定することにより、オーバーエッチ量は抑制される。例えば、第2層間絶縁膜15をCFを含むガス、 O_2 を含むガスの混合ガスをエッチャントしてエッチングする場合、第2層間絶縁膜15と第1層間絶縁膜17に対するエッチレートは、第2層間絶縁膜：第1層間絶縁膜＝2：1に設定することができる。

【0138】

第2層間絶縁膜15に対するエッチングにおいて、約150nm相当のオーバーエッチを行なった場合、第1層間絶縁膜17の表面は深さ約75nmエッチされることになる。この場合、第1層間絶縁膜17は、約125nmの厚さ残る。従って、第1エッチストップ層12は全くエッチングされず、その下に配置された導電性領域11がダメージを受けることはほぼ完璧に防止される。

【0139】

ビア孔HPの形成後、レジストパターンPR1はアッシングで除去する。このアッシングにおいても、下地10内の導電性領域11がダメージを受けることはほぼ完璧に防止される。

【0140】

図6（B）に示すように、反射防止膜16上に配線用溝をエッチングするための開口WAを有するレジストパターンPR2を形成する。

【0141】

図6（C）に示すように、レジストパターンPR2をエッチングマスクとし、第2層間絶縁膜15に配線用溝WGを形成すると共に、ビア孔底面下の第1層間絶縁膜17を除去するエッチングを行なう。このエッチングは、第1層間絶縁膜17を完全に除去した後、オーバーエッチングが行なわれるように設定する。

【0142】

すなわち、第1層間絶縁膜17の厚さd3は、第2層間絶縁膜15中に深さd1の配線用溝WGをエッチングする時完全にエッチングされる値に設定する。第1層間絶縁膜17と第2層間絶縁膜15のエッチレートが異なる場合は、当然エッチレートによる重み付けを行なう。

【0143】

上述の厚さを用いた場合、厚さ125nmの第1層間絶縁膜17をエッチング

する間に、第 2 層間絶縁膜 1 5 は深さ約 2 5 0 n m エッチングされる。配線用溝の深さ d_1 を 5 0 0 n m に設定した場合、第 2 層間絶縁膜 1 5 に対しては、残り約 2 5 0 n m 分のエッチングが行なわれる。エッチレート比を、第 2 層間絶縁膜 1 5 : エッチストッパ膜 1 2 = 1 2 : 1 に設定する場合、第 1 エッチストッパ層は $250 / 12 = 20.8$ n m エッチングされることになる。エッチストッパ層 1 2 はこのエッチングによっても充分残存し、導電性領域がダメージを受けることはほぼ完璧に防止できる。

【 0 1 4 4 】

その後アッシングを行なってレジストパターン P R 2 を除去する。

【 0 1 4 5 】

図 6 (D) に示すように、シリコン窒化膜に対するエッチングを行ない、第 2 層間絶縁膜上の反射防止膜 1 6、導電性領域上のエッチストッパ層 1 2 を除去する。その後、図 5 (H) に示す工程と同様の工程を行ない、シード層、バリア層、主配線層を形成し、デュアルダマシン配線を完成する。

【 0 1 4 6 】

図 3 の実施例同様、上下配線層の付随容量を更に低減することもできる。図 7 (A)、(B) は、上下配線層の付随容量を更に低減する実施例を示す。

【 0 1 4 7 】

図 7 (A) において、層間絶縁膜は、下から弗素含有シリコン酸化膜 1 3、プラズマ酸化膜 1 7、弗素含有シリコン酸化膜 1 5 で形成されている。弗素含有シリコン酸化膜 1 3 の誘電率は低く、容量低減に有効である。図 6 (A) ~ (D) 同様の工程を行うことにより、図 7 (B) の構造を得る。

【 0 1 4 8 】

なお、上述の実施例においては、ビア孔用開口は、配線溝用開口の領域内に配置されることを前提としている。このためには、位置合わせ余裕をみこんでパターンを設計する必要がある。位置合わせ余裕が小さくなった場合、位置合わせずれによりビア孔パターンと配線溝用パターンがずれる場合が生じ得る。

【 0 1 4 9 】

図 8 (A) は、ビア孔用開口 H P と配線溝用開口 W A に位置合わせずれを生じ

た場合を示す。この場合、配線溝用開口WAに含まれていないビア孔領域には、レジストが残されることになる。

【 0 1 5 0 】

図 8 (B) は、配線溝用開口WAの光近接効果により、配線溝用開口WAが後退した場合、ビア孔用開口HPの一部が配線溝用開口WAに覆われなくなった場合を示す。この場合も、ビア孔用開口HPの一部は配線溝用開口WAに覆われず、その領域のレジストは除去されず、残ることになる。

【 0 1 5 1 】

図 8 (C) は、このような位置合わせずれ又はパターンの光近接効果による後退により、ビア孔用開口の一部が配線溝用開口に覆われなくなった場合の配線溝用エッチングを行なうレジストパターンPR2の形状を概略的に示す。配線溝用開口WAは、ビア孔HPの一部から外部に向かって延在する。ビア孔HPの一部領域には、レジストパターンPR2が入り込んでいる。

【 0 1 5 2 】

図 8 (C) に示した構成においては、配線溝用開口HPが第 1 層間絶縁膜 1 3 表面まで達しているが、ビア孔の断面積が減少している。

【 0 1 5 3 】

図 8 (D) は、位置合わせずれがさらに大きくなった場合に生じ得る現象を示す。この場合には、配線溝用エッチングのエッチングマスクとなるレジストパターンPR2の開口は、ビア孔HPの深さ方向の一部にしか到達せず、ビア孔HPの下部においてはビア孔全面がレジストによって覆われている。この場合、配線溝用エッチングを行なっても、ビア孔下方の第 1 層間絶縁膜 1 3 は全くエッチされないことにもなる。

【 0 1 5 4 】

このように、ビア孔HPと配線溝用開口WAが位置合わせずれを生じた場合に、ビア導電体のコンタクト不良が生じ得る。以下、このような位置合わせずれが生じた場合にも、ビア孔を確実に下地導電領域表面に達するようにする実施例を説明する。

【 0 1 5 5 】

図 9、図 10 は、本発明の他の実施例による半導体装置の製造方法を説明する断面図である。

【0156】

図 9 (A) において、導電性領域 11 を有する下地 10 表面上に、第 1 エッチストップ層 12、第 1 層間絶縁膜 13、第 2 エッチストップ層 14、第 2 層間絶縁膜 15、ハードマスク層 18 を積層する。

【0157】

第 1 エッチストップ層 12、第 2 エッチストップ層 14 は、例えば厚さ 50 nm の SiN 膜によって形成する。第 1 層間絶縁膜は、例えば厚さ約 300 nm の弗素含有シリコン酸化膜によって形成する。第 2 層間絶縁膜 15 は、例えば厚さ 900 nm の弗素含有シリコン酸化膜によって形成する。ハードマスク層 18 は、例えば厚さ 100 nm の TiN などのメタル層によって形成する。

【0158】

ハードマスク層 18 の上にレジスト膜を塗布し、露光、現像してビア孔用開口 HA を有するレジストパターン PR1 を形成する。レジストパターン PR1 をエッチングマスクとして用い、ハードマスク層 18 をエッチングした後、第 2 層間絶縁膜 15 のエッチングを行う。

【0159】

ハードマスク層 18 のエッチングは、例えば C1 を含むガスをエッチャントとした異方性プラズマエッチングで行なう。第 2 層間絶縁膜 15 のエッチングは、CF を含むガスと O₂ を含むガスの混合ガスをエッチャントとした異方性プラズマエッチングにより行なう。このエッチングにおいて、弗素含有酸化膜 15 と SiN 膜 14 に対するエッチレートは、たとえば弗素含有シリコン酸化膜 15 : SiN 膜 14 = 12 : 1 に設定される。

【0160】

なお、第 2 層間絶縁膜 15 に対するエッチングは、ハードマスク層 18 をマスクとしても行なうことができる。この場合、レジストパターン PR1 は第 2 層間絶縁膜エッチング前に除去しても良い。

【0161】

第2層間絶縁膜15のエッチングを行なった後、第2エッチストップ層14のエッチングを行なう。このエッチングにおいて、レジストパターンPR1はマスクとして残存しても、その前に除去しても良い。レジストパターンPR1が残っている場合は、その後アッシング等により除去する。

【0162】

図9(B)に示すように、ハードマスク層18の上に、配線溝形成用レジストパターンPR2を形成する。レジストパターンPR2の開口WAは、ビア孔HPを完全に含まなくても良い。

【0163】

図9(C)に示すように、レジストパターンPR2をマスクとし、ハードマスク18のエッチングを行なう。このエッチングにおいて、ビア孔HPの一部はレジストで覆われているが、配線用溝形成領域のハードマスク層18のエッチングには支障がない。

【0164】

図9(D)に示すように、レジストパターンPR2を除去する。ビア孔HP内に入り込んでいたレジストは除去され、ビア孔HP全体が露出する。又、第2層間絶縁膜15上のハードマスク層18は、ビア孔HP上部および配線用溝形成領域を含む開口WAを有する。

【0165】

図10(E)に示すように、ハードマスク層18をエッチングマスクとし、第2層間絶縁膜15のコントロールエッチングを行なうと共に、第1層間絶縁膜13をエッチングする。このエッチングは、第1層間絶縁膜13を完全にエッチングした後、オーバーエッチングが行われるように設定される。

【0166】

このエッチングにおいては、第1および第2層間絶縁膜13、15に対するエッチレートが、第1エッチストップ層12に対するエッチレートよりも十分大きい条件で行なうことができる。例えば、上述のようにCFを含むガスと、O₂を含むガスの混合ガスをエッチャントとして用い、エッチレート比を12:1で行なうことができる。このエッチングにおいて、第1エッチストップ層12は充分

な厚さで残り、その下の導電性領域 1 1 のダメージを防止する。

【0 1 6 7】

図 1 0 (F) に示すように、ビア孔 H P 底部に露出した第 1 エッチストップ層 1 2 をエッチングし、導電領域 1 1 を露出するビア孔 H P A を形成する。

【0 1 6 8】

図 1 0 (G) に示すように、ハードマスク 1 8 および配線用溝、ビア孔上にバリアメタル層 1 9 および主配線層 2 0 を形成する。バリアメタル層 1 9 は、例えば厚さ約 2 5 n m の T i N 層で形成できる。主配線層 2 0 は、例えば銅層で形成できる。バリアメタル層、主配線層は、スパッタリング、メッキなどにより形成することができる。

【0 1 6 9】

図 1 0 (H) に示すように、第 2 層間絶縁膜 1 5 上に形成された主配線層 2 0 、バリアメタル層 1 9 、ハードマスク層 1 8 を C M P 等により除去し、平坦な表面を形成する。

【0 1 7 0】

本実施例によれば、配線溝用エッチングは、ビア孔用開口と配線溝用開口とを足し合わせた形状のハードマスクに転写されたパターンをエッチングマスクとして行なわれる。配線溝用マスクがビア孔用マスクに対し位置合わせずれを生じて、ビア孔内に入り込んでいたレジストは除去された後、エッチングが行なわれるため、ビア孔形成が損なわれることが防止される。

【0 1 7 1】

本実施例における層間絶縁膜の積層構造は、図 4、図 5 に示す層間絶縁膜下部にエッチストップ層を有する構成を用いた。同様の製造プロセスがエッチストップ層を用いない図 6、7 の層間絶縁膜を用いるプロセスに対しても適用できる。

【0 1 7 2】

図 1 1 は、本発明の実施例による半導体装置の製造方法を示す断面図である。

【0 1 7 3】

図 1 1 (A) に示すように、導電性領域 1 1 を有する下地 1 0 表面上に、エッチストップ層 1 2、第 1 層間絶縁膜 1 7、第 2 層間絶縁膜 1 5、ハードマスク層

16を積層する。エッチストップ層12は、例えば厚さ50nmのSiN膜で形成する。第1層間絶縁膜17は、例えば屈折率 $n=1.5$ 、厚さ約200nmのSiO₂膜によって形成する。第2層間絶縁膜15は、例えば厚さ1000nmの弗素含有シリコン酸化膜によって形成する。ハードマスク層16は、例えば厚さ100nmのTiN膜によって形成する。

【0174】

ハードマスク層16の上に、ビア孔パターンを有する開口HAを有するレジストパターンPR1を形成する。

【0175】

レジストパターンPR1をエッチングマスクとして用い、ハードマスク層16をC1を含むエッチャントガスでエッチングした後、第2層間絶縁膜15をCFを含むガスとO₂を含むガスの混合ガスをエッチャントガスとする異方性プラズマエッチングによりエッチングする。その後レジストパターンPR1は除去する。

【0176】

図11(B)に示すように、ハードマスク層16の表面上に配線溝パターンの開口WAを有するレジストパターンPR2を形成する。このレジストパターンPR2をエッチングマスクとし、ハードマスク層16のエッチングを行なう。なお、レジストパターンPR2は、位置合わせずれによりビア孔内に入り込んだ形状であるが、ビア孔に連続した配線溝用開口がハードマスク層16に形成される。

【0177】

図11(C)に示すように、レジストパターンPR2を除去する。ビア孔内部に入り込んでいたレジストは除去され、ビア孔全体が露出する。ハードマスク層16をエッチングマスクとし、第2層間絶縁膜15のコントロールエッチングを行なう。このコントロールエッチングと同時に、ビア孔下部に残存する第1層間絶縁膜17がエッチングされ、第1エッチストップ層12が露出する。

【0178】

このようにして、配線用溝とそれに接続したビア孔がマスクの位置合わせずれにもかかわらず形成される。その後、前述の実施例同様、バリア層、主配線層を

形成し、CMP等により第2層間絶縁膜上の金属層を除去する。図9から11に示した実施例によれば、マスク合わせ余裕を大きくとることができ、確実な接続孔の形成が行え、より電氣的に良好な特性を示す配線構造を形成することができる。配線をより高密度に配置することができる。

【0179】

以上説明した実施例においては、1つのデュアルダマシン配線を形成した。実際の半導体装置においては、多層の配線層を形成し、各配線層において複数のデュアルダマシン構造を形成する。

【0180】

図12は、半導体集積回路装置の構成例を示す断面図である。シリコン基板10の表面には、シャロートレンチアイソレーションにより素子分離領域STIが形成され、活性領域が画定されている。図に示す構造においては、1つの活性領域内にnチャネルMOSトランジスタn-MOSが形成され、他の活性領域内にpチャネルMOSトランジスタp-MOSが形成されている。

【0181】

各トランジスタは、基板表面上に絶縁ゲート電極構造を有し、ゲート電極の両側の基板内にn型又はp型のソース/ドレイン領域11が形成されている。これらのソース/ドレイン領域は、前述の実施例における導電性領域である。

【0182】

シリコン基板10表面上に第1エッチストップ層12、第1層間絶縁膜13、第2エッチストップ層14、第2層間絶縁膜15の積層が形成され、バリア層19、主配線層20のデュアルダマシン配線構造が形成されている。これらのデュアルダマシン配線も、その上方に形成される配線に対しては前述の実施例における導電性領域となる。

【0183】

図においては、両端の導電性領域11上にそれぞれ引き出し配線構造が形成され、中央の2つの導電領域11上に相互を接続する他の配線構造が形成されている。すなわち、図に示す2つのMOSトランジスタは、コンプリメンタリMOS(CMOS)トランジスタを構成している。

【0184】

以上説明した第1配線層の上に、第3エッチストップ層22、第3層間絶縁膜23、第4エッチストップ層24、第4層間絶縁膜25の積層が形成され、この積層内にバリア層29、主配線層30のデュアルダマシン配線構造が形成されている。

【0185】

さらに上層には、第5エッチストップ層32、第5層間絶縁膜33、第6エッチストップ層34、第6層間絶縁膜35が積層され、この積層内にバリアメタル層39、主配線層40のデュアルダマシン配線構造が形成されている。

【0186】

さらに上層には、第7エッチストップ層42、第7層間絶縁膜43、第8エッチストップ層44、第8層間絶縁膜45の積層が形成され、この積層内にバリアメタル層49、主配線層50のデュアルダマシン配線構造が形成されている。このデュアルダマシン配線構造の表面を覆って、保護膜52が形成されている。

【0187】

これらのデュアルダマシン配線も、前述の実施例のデュアルダマシン配線に相当する。このように、多層配線構造をデュアルダマシン配線構造を用いて形成することにより、高集積度で付随容量が小さく、配線抵抗の小さい配線構造を形成することができる。

【0188】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えばエッチストップ層として、シリコン窒化膜の他、シリコン酸化窒化膜、シリコンカーバイド(SiC, SiC:H)等を用いてもよい。エッチレートの異なる膜は、組成、密度、成長方法(CVD, 蒸着、スパッタリング)、成長温度の異なるシリコン酸化膜、弗素、磷、ボロン等添加物の含有量の異なる添加物含有シリコン酸化膜、水素シルセスキオキサン(HSQ), テトラエトキシシリケート(TEOS)など原料の異なるシリコン酸化膜、シリコン窒化膜、シリコン酸化窒化膜、シロキサン結合を有する無機化合物膜、有機化合物膜等から選択する事ができる。デュアルダマシン配線は、金属または金属化合物で形成

できる。金属としては、金、銀、白金、銅、アルミニウム、タングステン、チタン、タンタル、モリブデン等、またはこれらの合金を用いることができる。金属化合物としては、チタンナイトライド、タンタルナイトライド、タングステンナイトライド、またはモリブデンナイトライド等を用いることができる。

【 0 1 8 9 】

その他、種々の変更、改良、組み合わせが可能なことは当業者に自明であろう。厚い、例えば 5 0 0 n m 以上の厚さの配線層に対してのみ、上述のデュアルダマシン配線を採用し、薄い、例えば厚さ 5 0 0 n m 未満の配線層に対しては、従来のデュアルダマシン配線層を採用してもよい。1 つの形態としては、下層配線は、図 1 3 ~ 2 1 に示した従来型の配線で形成し、上層配線は、図 1 ~ 1 1 に示した実施例による配線で形成する。

【 0 1 9 0 】

なお、本発明に関し、以下を開示する。

【 0 1 9 1 】

(付記 1) 表面に導電性領域を有する下地と、
前記下地の表面を覆う絶縁性エッチストップ膜と、
前記絶縁性エッチストップ膜上に形成された層間絶縁膜と、
前記層間絶縁膜表面から第 1 の深さで形成された配線用溝と、
前記配線用溝底面から、前記層間絶縁膜の残りの厚さおよび前記絶縁性エッチストップ膜を貫通し、前記導電性領域に達する接続用孔と、
前記配線用溝および前記接続用孔を埋め込んで形成されたデュアルダマシン配線と、
を有し、

前記層間絶縁膜が前記配線用溝の側面および底面を包む第 1 種の絶縁層と、前記第 1 種の絶縁層よりも下に配置され、第 1 種の絶縁層とエッチング特性の異なる第 2 種の絶縁層とを含む半導体装置。

【 0 1 9 2 】

(付記 2) 前記接続孔は、前記第 1 種の絶縁層内で上方に向かって次第に断面積が増大する部分を有する付記 1 記載の半導体装置。

【 0 1 9 3 】

(付記 3) 前記層間絶縁層が、さらに前記第 2 種の絶縁層の下に配置され、第 2 種の絶縁層とエッチング特性の異なる第 3 種の絶縁層を含む付記 1 または 2 記載の半導体装置。

【 0 1 9 4 】

(付記 4) 前記接続孔は、前記第 2 種の絶縁層の途中から上方に向かって次第に断面積が増大する部分を有する付記 3 記載の半導体装置。

【 0 1 9 5 】

(付記 5) 前記第 2 種の絶縁層が、前記第 1 種の絶縁層のエッチング時にエッチストップパとして機能し得る層であり、前記接続用孔は前記第 2 種の絶縁層下部から前記導電性領域表面まで実質的に同一の断面形状を有する付記 3 または 4 記載の半導体装置。

【 0 1 9 6 】

(付記 6) 前記第 3 種の絶縁層が、前記第 1 の深さより小さい厚さを有する付記 3 ～ 5 のいずれか 1 項記載の半導体装置。

【 0 1 9 7 】

(付記 7) 前記第 2 種の絶縁層が前記絶縁性エッチストップパ膜上に配置されており、前記第 1 の深さより小さい厚さを有する付記 1 または 2 記載の半導体装置。

【 0 1 9 8 】

(付記 8) 表面に導電性領域を有する下地上に絶縁性エッチストップパ膜を形成する工程と、

前記絶縁性エッチストップパ膜上に、第 1 種の絶縁膜とその下に配置され、第 1 種の絶縁膜とエッチング特性の異なる第 2 種の絶縁膜とを含む層間絶縁膜を形成する工程と、

前記層間絶縁膜の表面から、前記層間絶縁膜を貫通し、前記絶縁性エッチストップパ膜に達する接続用孔を形成する工程と、

前記接続孔内に、前記第 2 種の絶縁膜の表面より下の高さまで有機物の保護物を形成する工程と、

前記接続孔と重複させ、前記層間絶縁膜表面から第 1 種の絶縁膜中第 1 の深さまで配線用溝を形成する工程と、

前記保護詰物を除去する工程と、

前記絶縁性エッチングストッパ膜を除去し、導電性領域を有する下地までの接続用孔を貫通させる工程と、

前記配線用溝および前記接続用孔を埋め込んでデュアルダマシン配線を形成する工程と、

を有する半導体装置の製造方法。

【 0 1 9 9 】

(付記 9) 前記層間絶縁層が、さらに前記第 2 種の絶縁層の下に配置され、第 2 種の絶縁層とエッチング特性の異なる第 3 種の絶縁層を含む付記 8 記載の半導体装置の製造方法。

【 0 2 0 0 】

(付記 1 0) 前記第 2 種の絶縁膜は、前記第 1 種および第 3 種の絶縁膜よりエッチレートが低い付記 9 記載の半導体装置の製造方法。

【 0 2 0 1 】

(付記 1 1) 前記第 2 種の絶縁膜が他のエッチストッパ層とその下に配置された下層絶縁膜とを有し、

前記接続用孔を形成する工程が、前記第 1 種の絶縁膜および他のエッチストッパ膜とその下に配置された下層絶縁膜を有する第 2 種絶縁膜を貫通し、前記エッチストッパ膜に達する接続用孔を形成する工程である付記 8 記載の半導体装置の製造方法。

【 0 2 0 2 】

(付記 1 2) 表面に導電性領域を有する下地上に絶縁性エッチストッパ膜を形成する工程と、

前記絶縁性エッチストッパ膜上に、第 1 種の絶縁膜とその下に配置され、第 1 種の絶縁膜とエッチング特性の異なる第 2 種の絶縁膜とを含む層間絶縁膜を形成する工程と、

前記層間絶縁膜の表面から、前記第 1 種の絶縁膜を貫通し、前記第 2 種の絶縁

膜に達する接続用孔を形成する第 1 エッチング工程と、

前記接続孔と重複させ、前記層間絶縁膜表面から第 1 種の絶縁膜中第 1 の深さまで配線用溝を形成するとともに、前記接続孔下の残りの層間絶縁膜を除去する第 2 エッチング工程と、

前記絶縁性エッチングストッパ膜を除去し、導電性領域を有する下地までの接続用孔を貫通させる工程と、

前記配線用溝および前記接続用孔を埋め込んでデュアルダマシン配線を形成する工程と、

を有する半導体装置の製造方法。

【 0 2 0 3 】

(付記 1 3) 前記第 2 のエッチング工程が、前記第 2 種の絶縁膜をエッチングして前記エッチストッパ膜を露出する工程と、露出したエッチストッパ膜をエッチングする工程とを含む付記 1 2 記載の半導体装置の製造方法。

【 0 2 0 4 】

(付記 1 4) 前記第 2 種の絶縁膜が、他のエッチストッパ膜とその下に配置された下層絶縁膜とを有し、前記第 1 エッチング工程はマスクを用いて、前記第 1 種の絶縁膜をエッチングする工程と、その後露出した他のエッチストッパ膜をエッチングする工程とを含み、前記第 2 のエッチング工程が、マスクを用いて前記接続孔下の前記下層絶縁膜をエッチングする工程と露出した前記エッチストッパ膜をエッチングする工程とを含む付記 1 2 記載の半導体装置の製造方法。

【 0 2 0 5 】

(付記 1 5) 前記層間絶縁膜を形成する工程が、前記層間絶縁膜の上にハードマスク層も形成し、前記第 1 エッチング工程が前記ハードマスク層の上に第 1 レジストマスクを形成する工程を含み、前記第 2 エッチング工程が前記ハードマスク層上に第 2 レジストマスクを形成し、前記ハードマスク層をエッチングする工程と、その後第 2 レジストマスクを除去し、ハードマスク層をエッチングマスクとして用いて、エッチングを行なう工程とを含む付記 1 2 ～ 1 4 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 2 0 6 】

(付記 1 6) 表面に導電性領域を有する下地上に絶縁性エッチストップパ膜を形成する工程と、

前記絶縁性エッチストップパ膜上に、下から第 1 種の絶縁膜と第 2 種の絶縁膜と第 3 種の絶縁膜とを含み、第 2 種の絶縁膜は、第 1 種および第 3 種の絶縁膜とエッチング特性の異なる層間絶縁膜を形成する工程と、

前記層間膜表面から、前記第 3 種絶縁膜、第 2 種絶縁膜、第 1 種絶縁膜を貫通し、前記絶縁性エッチストップパ膜に達する接続用孔を形成する第 1 エッチング工程と、

前記接続孔内に前記第 1 種の絶縁膜表面より高く、前記第 2 種の絶縁膜表面より低い高さまで有機物の保護詰物を形成する工程と、

前記接続孔と重複させ、前記層間絶縁膜表面から第 3 種の絶縁膜中第 1 の深さまで配線用溝を形成する第 2 エッチング工程と、

前記保護詰物を除去し、前記接続用孔内に前記絶縁性エッチストップパ膜を露出させる工程と、

露出した前記エッチストップパ膜をエッチングする第 3 エッチング工程と、

前記配線用溝および前記接続孔を埋め込んでデュアルダマシン配線を形成する工程と、

を有する半導体装置の製造方法。

【 0 2 0 7 】

(付記 1 7) 表面に導電性領域を有する下地上に絶縁性エッチストップパ膜を形成する工程と、

前記絶縁性エッチストップパ膜上に、下から第 1 種の絶縁膜と第 2 種の絶縁膜と第 3 種の絶縁膜とを含み、第 2 種の絶縁膜は第 1 種および第 3 種の絶縁膜とエッチング特性の異なる層間絶縁膜を形成する工程と、

前記層間絶縁膜の表面から、前記第 3 種の絶縁膜を貫通し、前記第 2 種の絶縁膜に達する接続用孔を形成する第 1 エッチング工程と、

前記接続孔底面に露出した第 2 種の絶縁膜をエッチングする第 2 エッチング工程と、

前記接続孔と重複させ、前記層間絶縁膜表面から第 3 種の絶縁膜中第 1 の深さ

で配線用溝を形成するとともに、前記接続孔下の第 1 種の絶縁膜をエッチングして前記エッチストップ膜を露出する第 3 エッチング工程と、

露出した前記エッチストップ膜をエッチングする第 4 エッチング工程と

前記配線用溝および前記接続用孔を埋め込んでデュアルダマシン配線を形成する工程と、

を有する半導体装置の製造方法。

【0208】

(付記 18) 前記層間絶縁膜を形成する工程が、前記層間絶縁膜の上にハードマスク層も形成し、前記第 1 エッチング工程が前記ハードマスク層の上に第 1 レジストマスクを形成する工程と、前記第 1 レジストマスクをエッチングマスクとして用い、ハードマスク層をエッチングする工程とを含み、前記第 3 エッチング工程が前記ハードマスク層上に第 2 レジストマスクを形成し、前記第 2 レジストマスクをエッチングマスクとして用い、前記ハードマスク層をエッチングする工程と、その後第 2 レジストマスクを除去し、ハードマスク層をエッチングマスクとして用いて、エッチングを行なう工程とを含む付記 17 に記載の半導体装置の製造方法。

【0209】

【発明の効果】

以上説明したように、本発明によれば、下地導電領域にダメージを与えることの少ないデュアルダマシン配線構造を有する半導体装置の製造方法が提供される。

【0210】

また、好適なデュアルダマシン配線構造を有する半導体装置が提供される。

【0211】

ビア孔内に詰め物を用いなくても、下地導電領域にダメージを与えることの少ない配線形成技術が提供される。

【図面の簡単な説明】

【図 1】 本発明の実施例を説明するための半導体基板の断面図である。

【図 2】 本発明の他の実施例を説明するための半導体基板の断面図である

【図 3】 本発明の他の実施例を説明するための半導体基板の断面図である

【図 4】 本発明の他の実施例を説明するための半導体基板の断面図である

【図 5】 図 4 と共に他の実施例を説明するための半導体基板の断面図である。

【図 6】 本発明の他の実施例を説明するための半導体基板の断面図である

【図 7】 本発明の実施例による半導体装置の製造方法を説明するための半導体基板の断面図である。

【図 8】 図 4 ～図 7 の実施例において、マスクの位置合わせずれが生じたときに生じ得る問題を説明するための平面図および断面図である。

【図 9】 本発明の他の実施例による半導体装置の製造方法を説明するための半導体基板の断面図である。

【図 1 0】 図 9 と共に本発明の他の実施例による半導体基板の製造方法を説明するための半導体基板の断面図である。

【図 1 1】 本発明の他の実施例による半導体装置の製造方法を説明するための半導体基板の断面図である。

【図 1 2】 本発明の実施例により製造される半導体集積回路装置の構成例を概略的に示す断面図である。

【図 1 3】 従来技術による半導体装置の製造方法を説明するための半導体基板の断面図である。

【図 1 4】 従来技術による半導体装置の製造方法を説明するための半導体基板の断面図である。

【図 1 5】 従来技術による半導体装置の製造方法を説明するための半導体基板の断面図である。

【図 1 6】 半導体装置の製造方法についての考察を説明するための半導体基板の断面図である。

【図 1 7】 従来技術による配線の製造工程についての考察を説明するための半導体基板の断面図である。

【図 1 8】 従来技術による配線の製造工程についての考察を説明するための半導体基板の断面図である。

【図 1 9】 従来技術による配線の製造工程についての考察を説明するための半導体基板の断面図である。

【図 2 0】 従来技術による異常エッチングや下地ダメージの発生についての考察を説明するための半導体基板の断面図である。

【図 2 1】 従来技術による異常エッチングや下地ダメージの発生についての考察を説明するための半導体基板の断面図である。

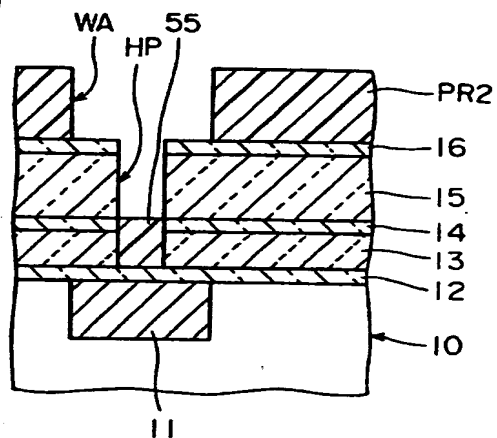
【符号の説明】

- 1 0 下地
- 1 1 導電性領域
- 1 2、1 4 エッチストッパ層
- 1 3、1 5 層間絶縁膜
- 1 6 反射防止膜
- 1 8 ハードマスク層
- 1 9 バリアメタル層
- 2 0 主配線層

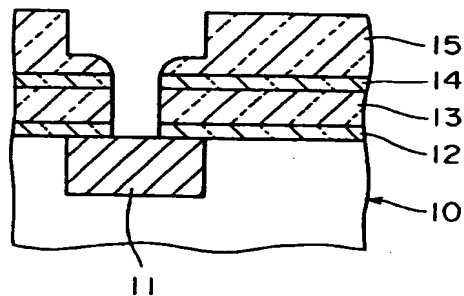
【書類名】 図面

【図1】

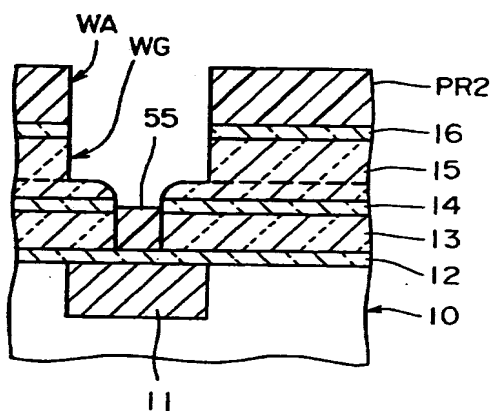
(A)



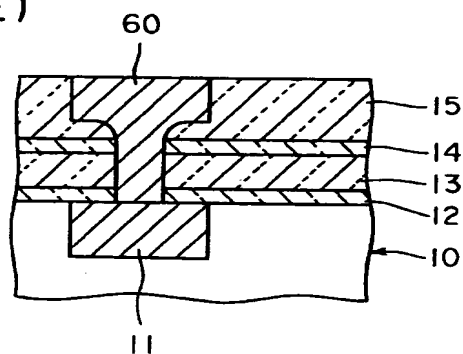
(D)



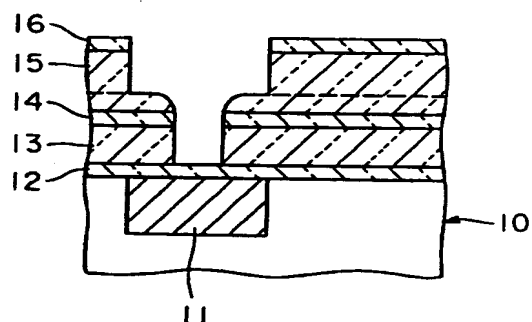
(B)



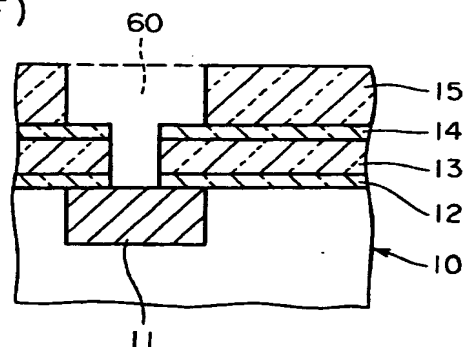
(E)



(C)

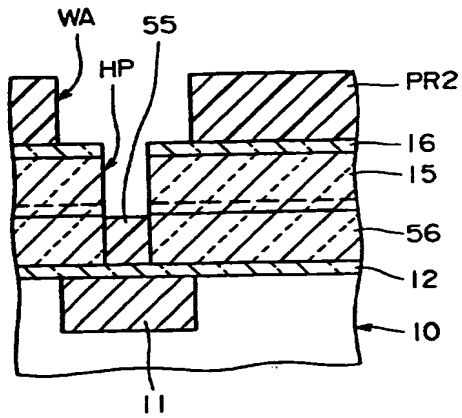


(F)

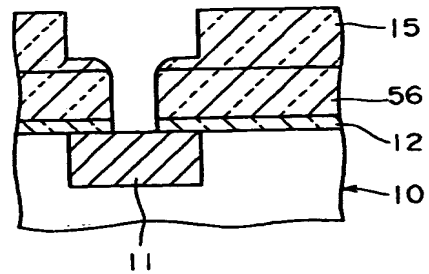


【図 2】

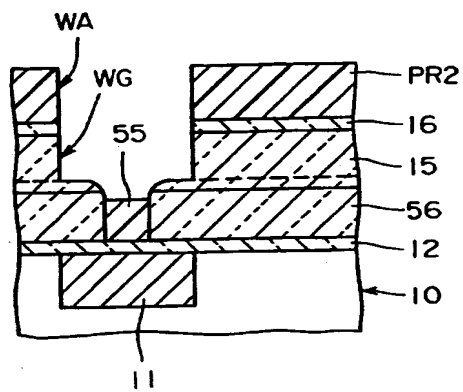
(A)



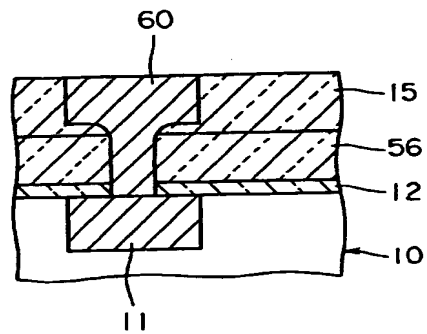
(D)



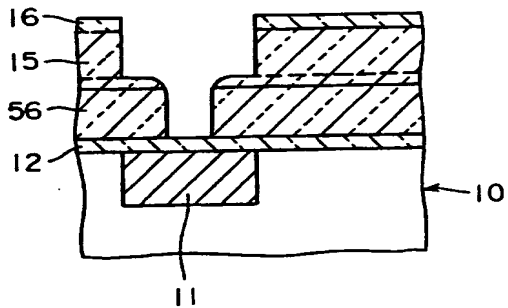
(B)



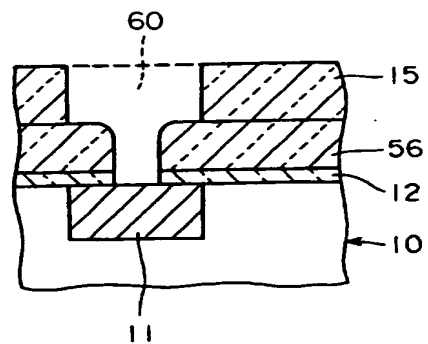
(E)



(C)

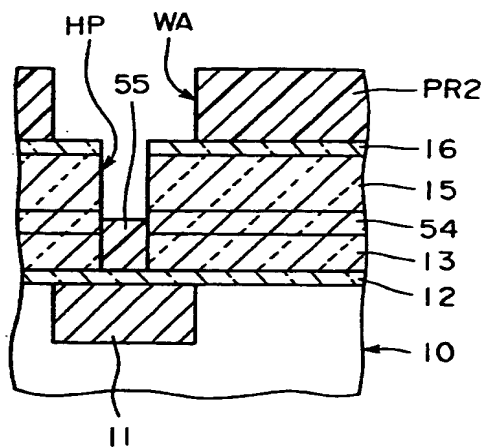


(F)

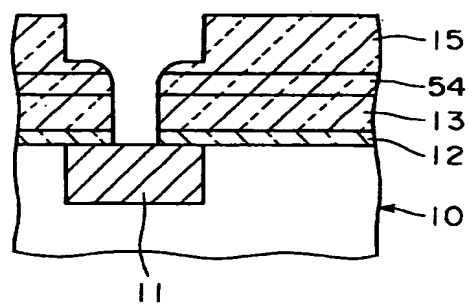


【図3】

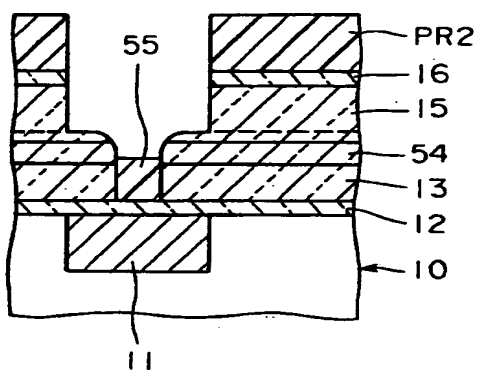
(A)



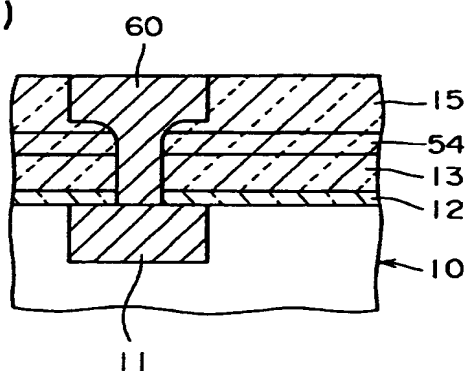
(D)



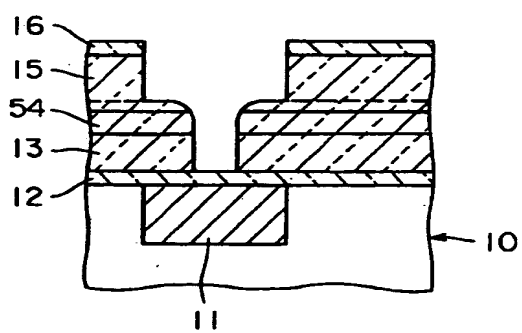
(B)



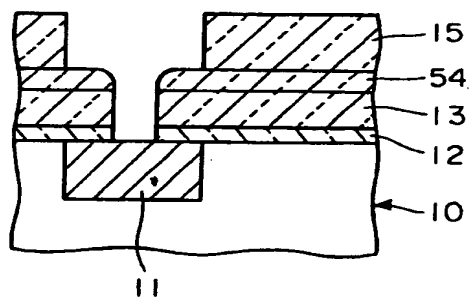
(E)



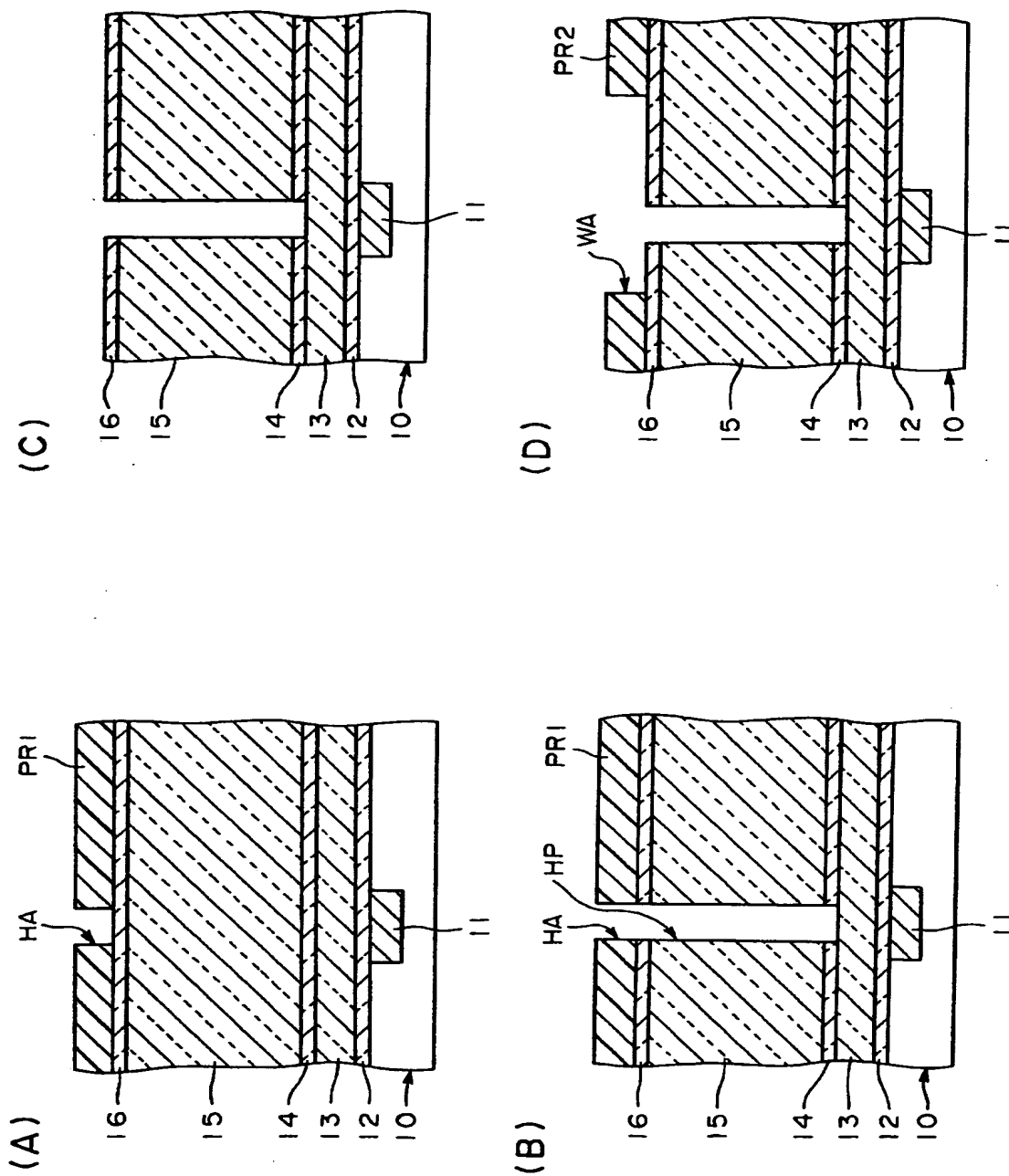
(C)



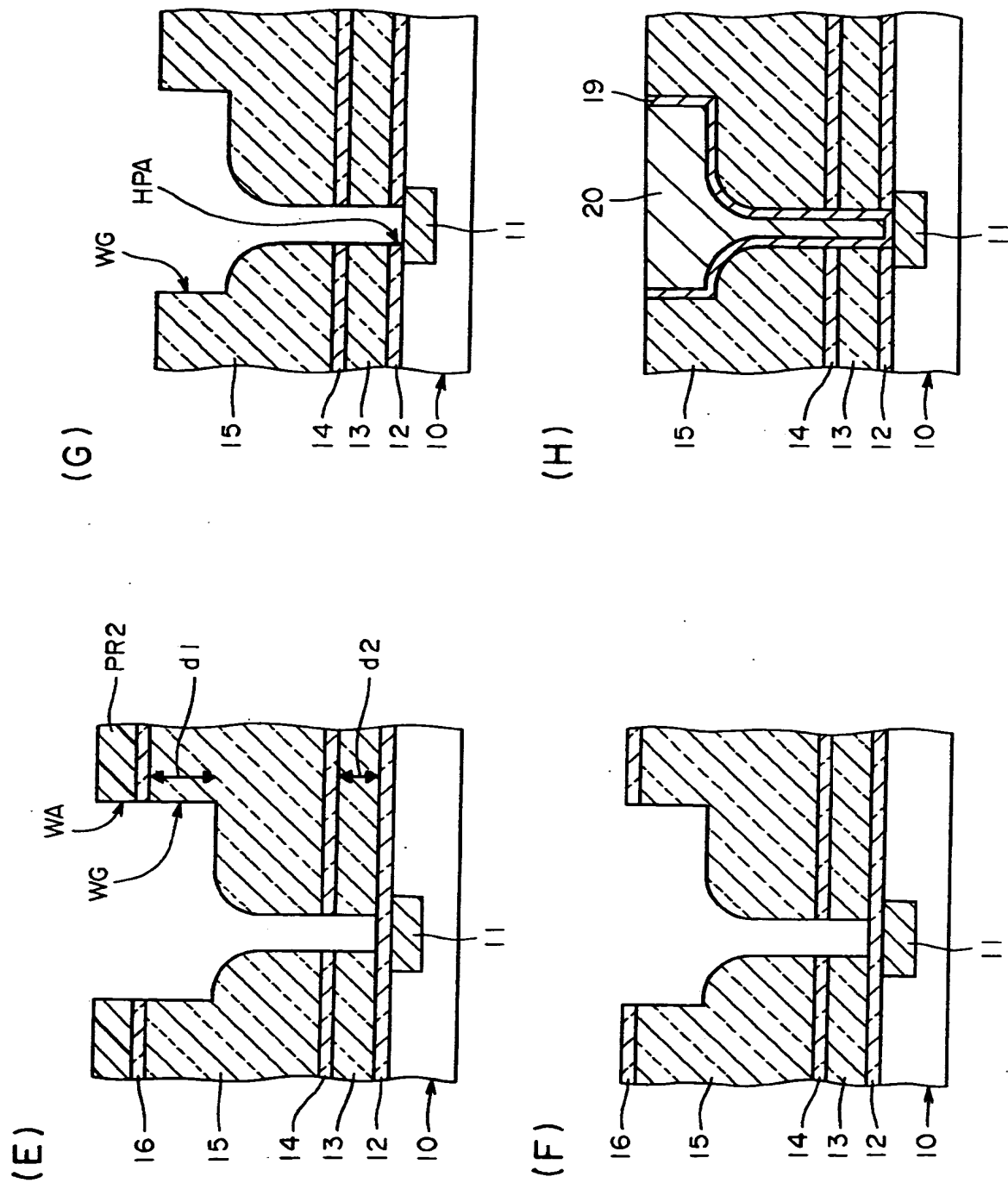
(F)



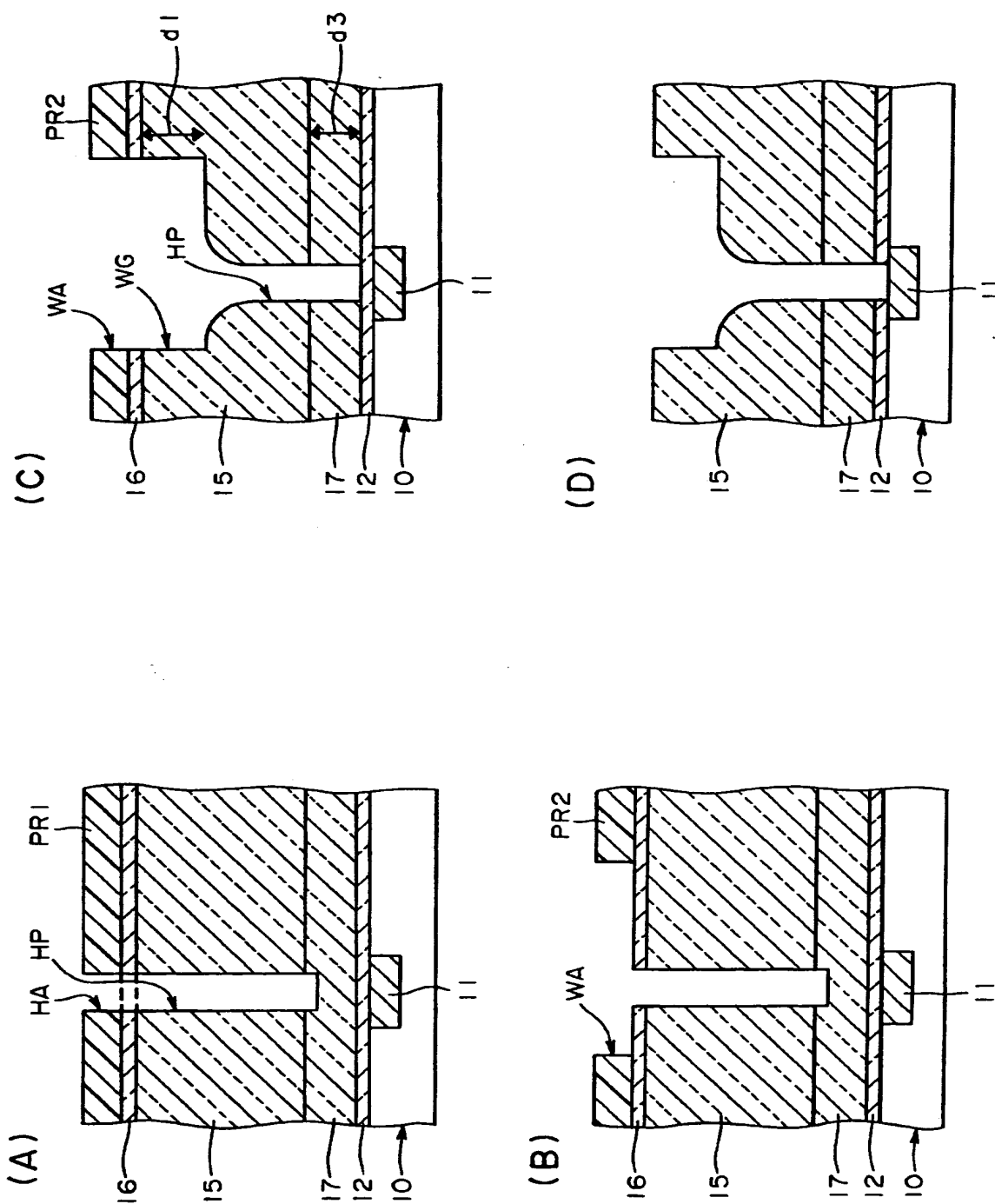
【図4】



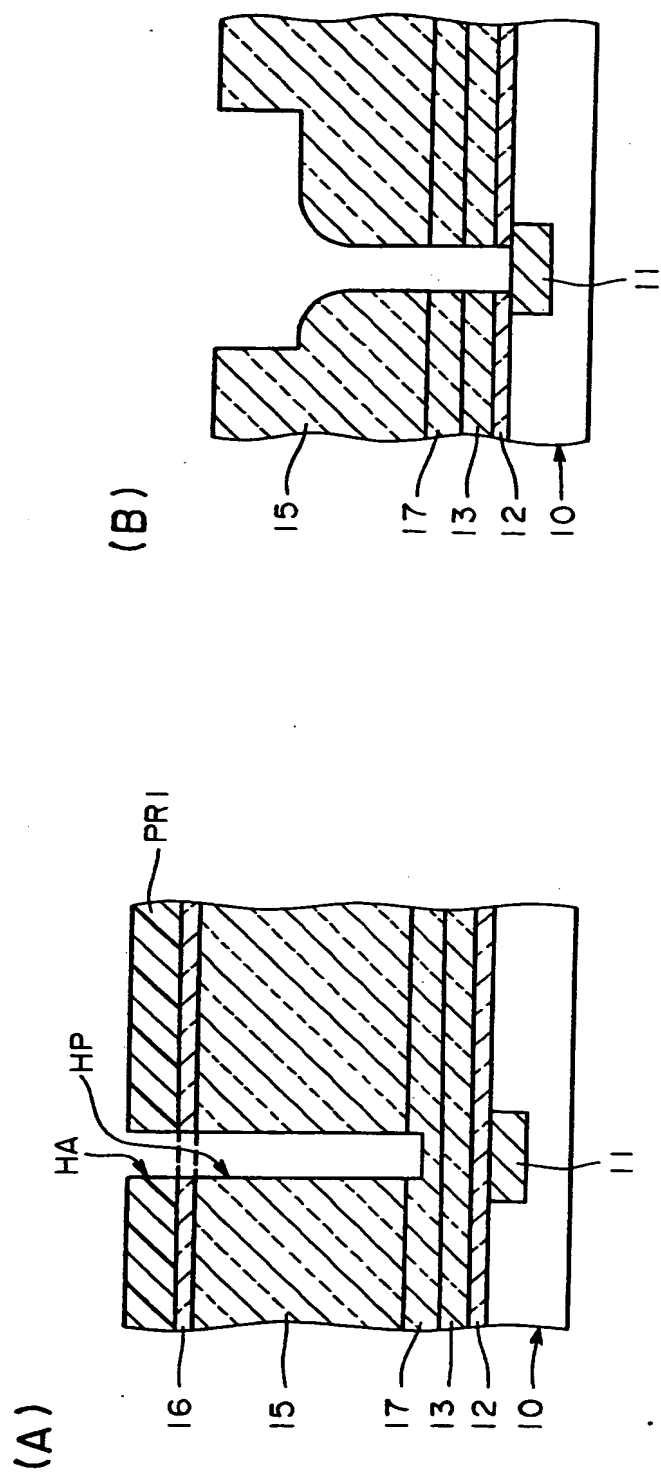
【図 5】



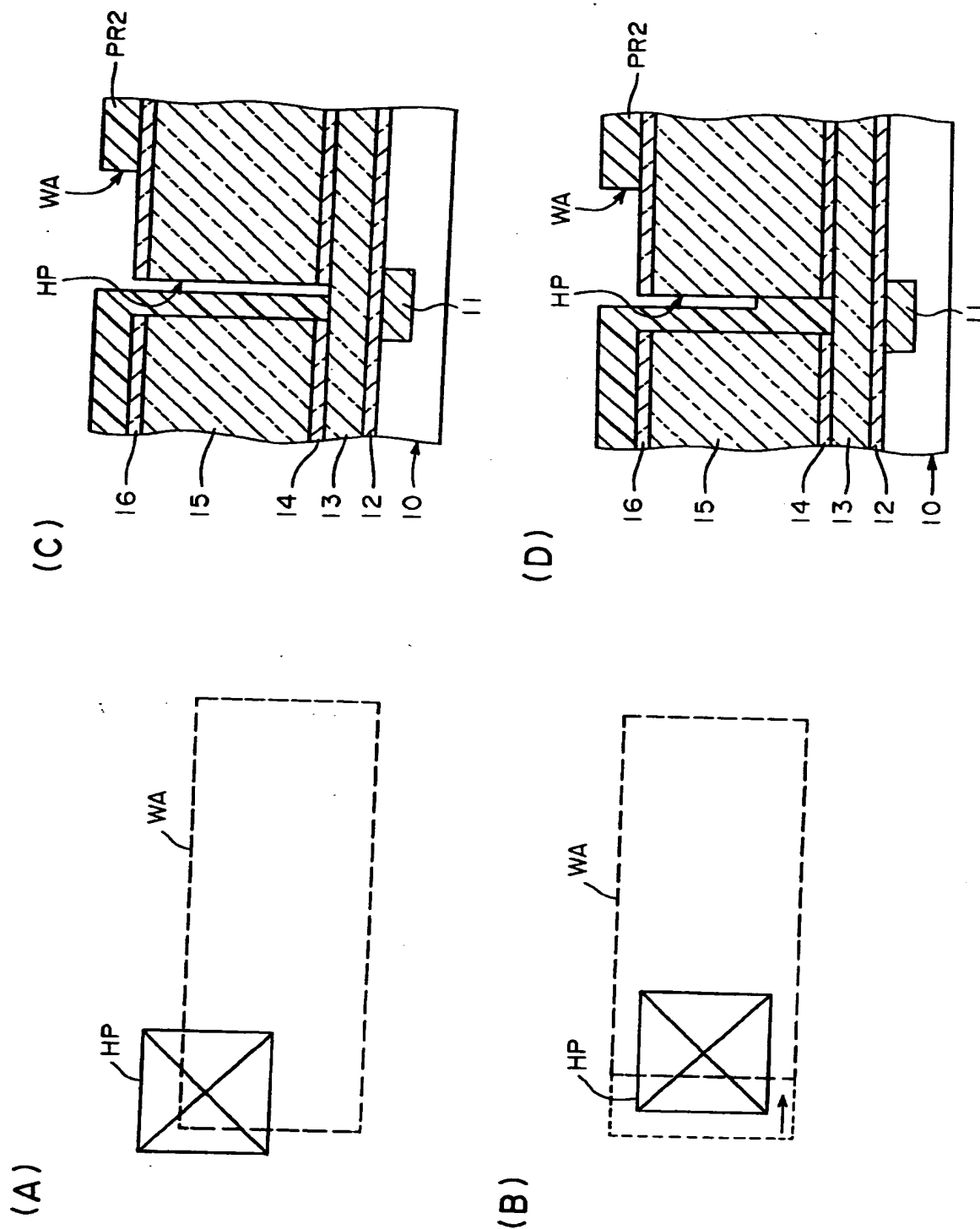
【図 6】



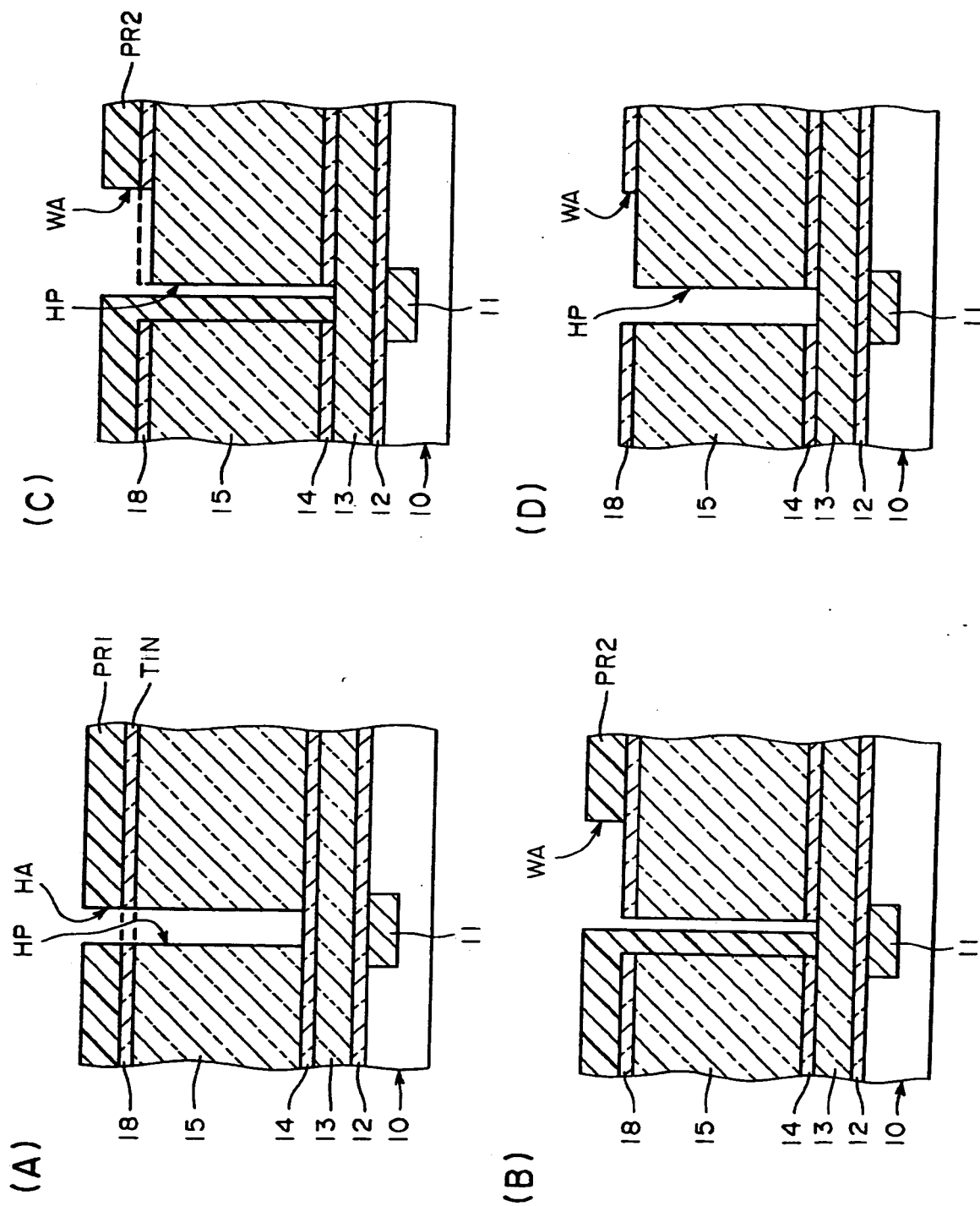
【図7】



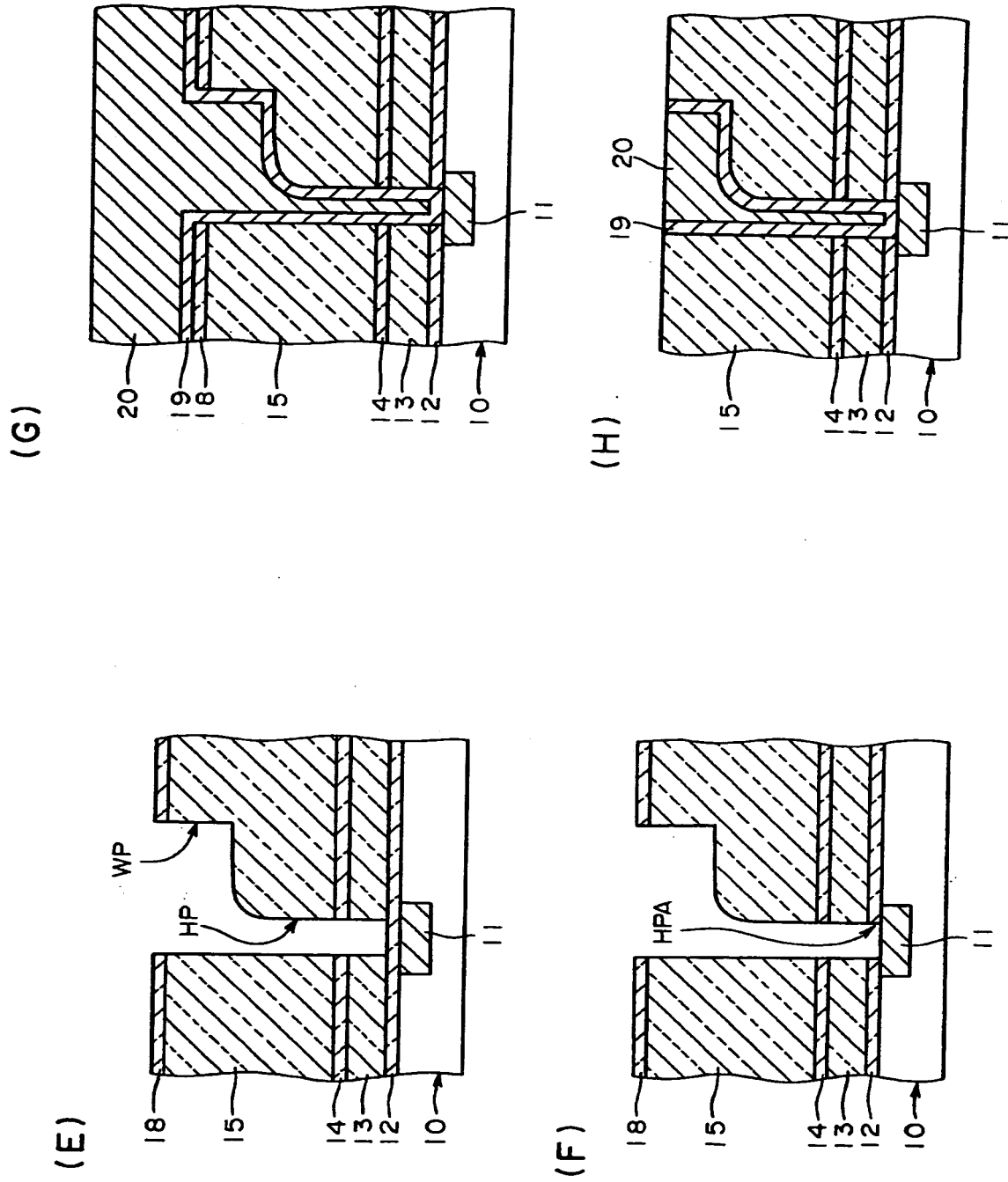
【図 8】



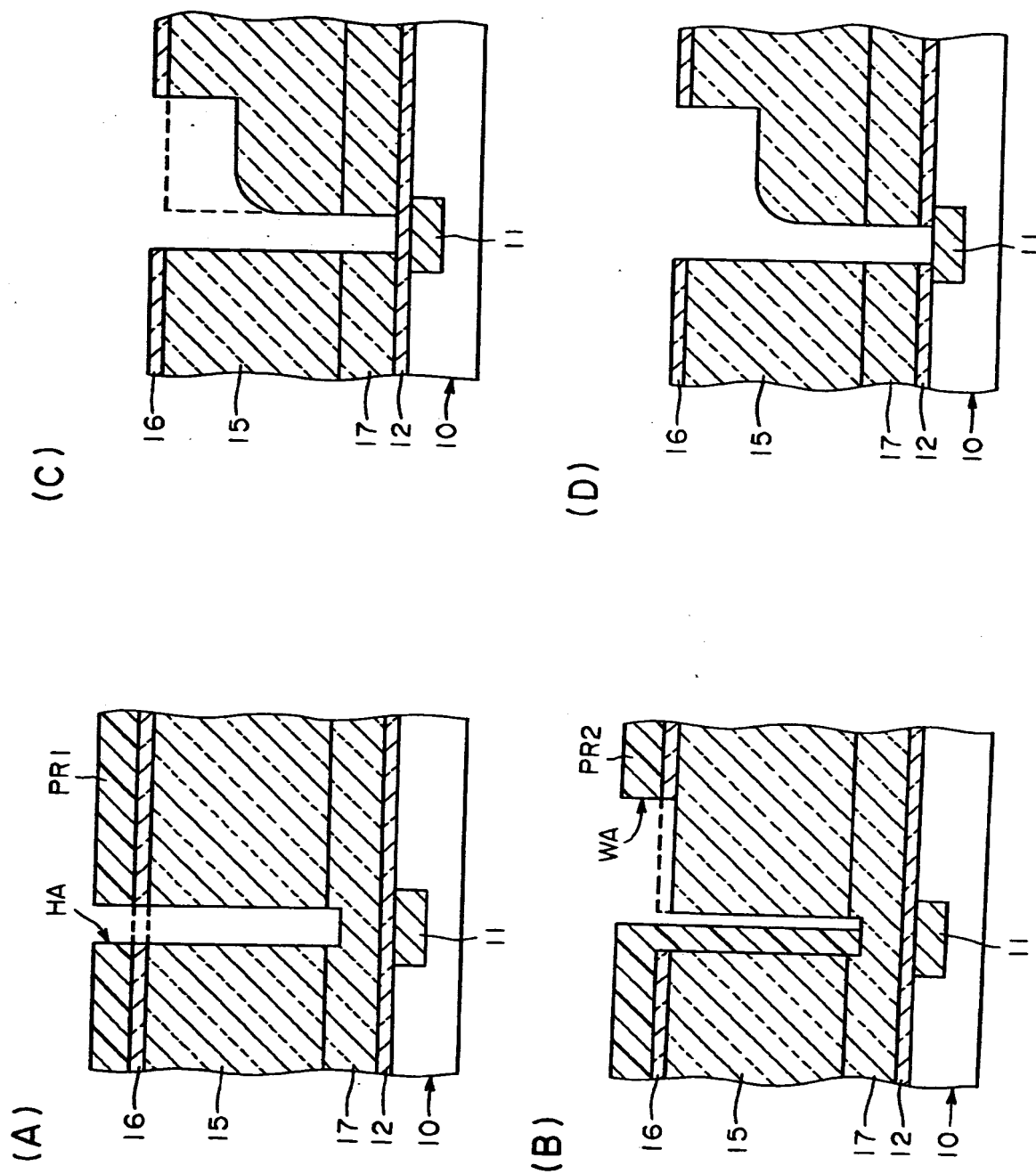
【図9】



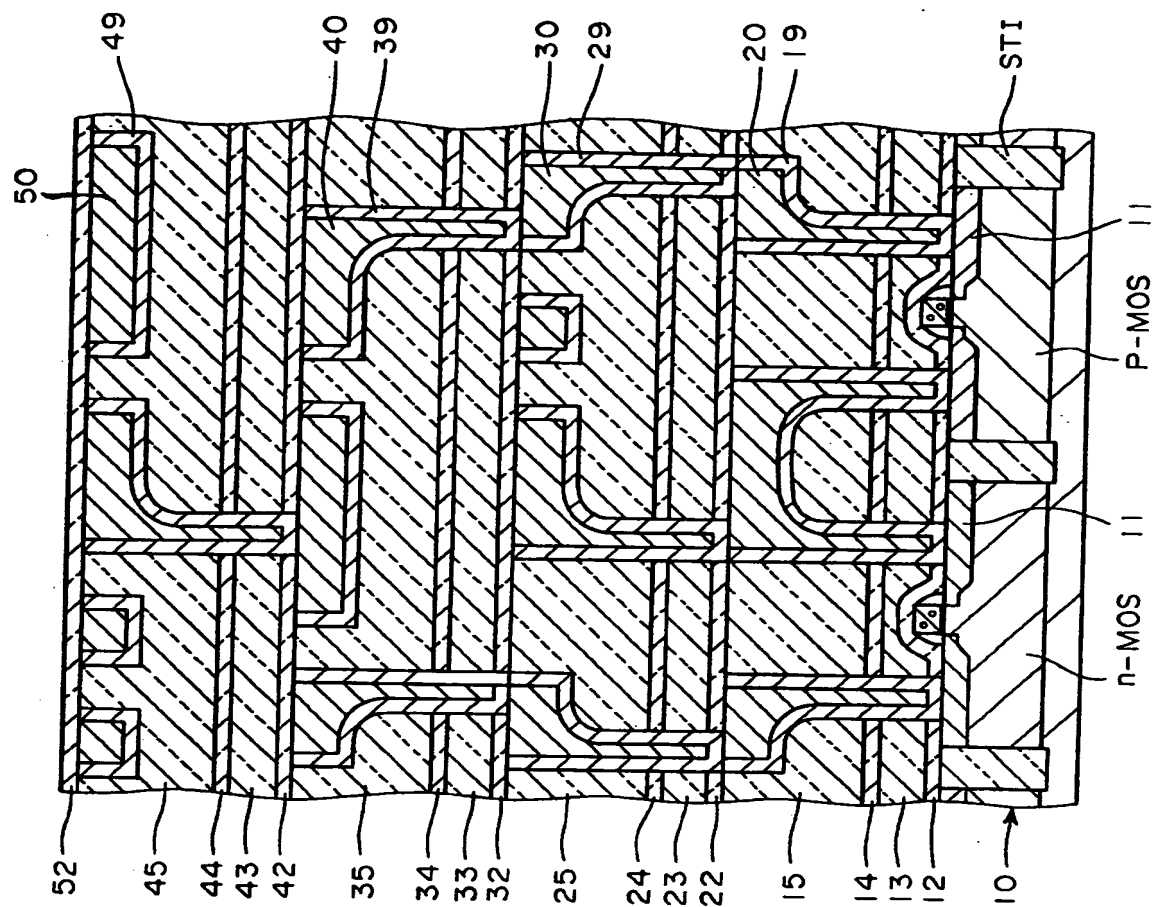
【図10】



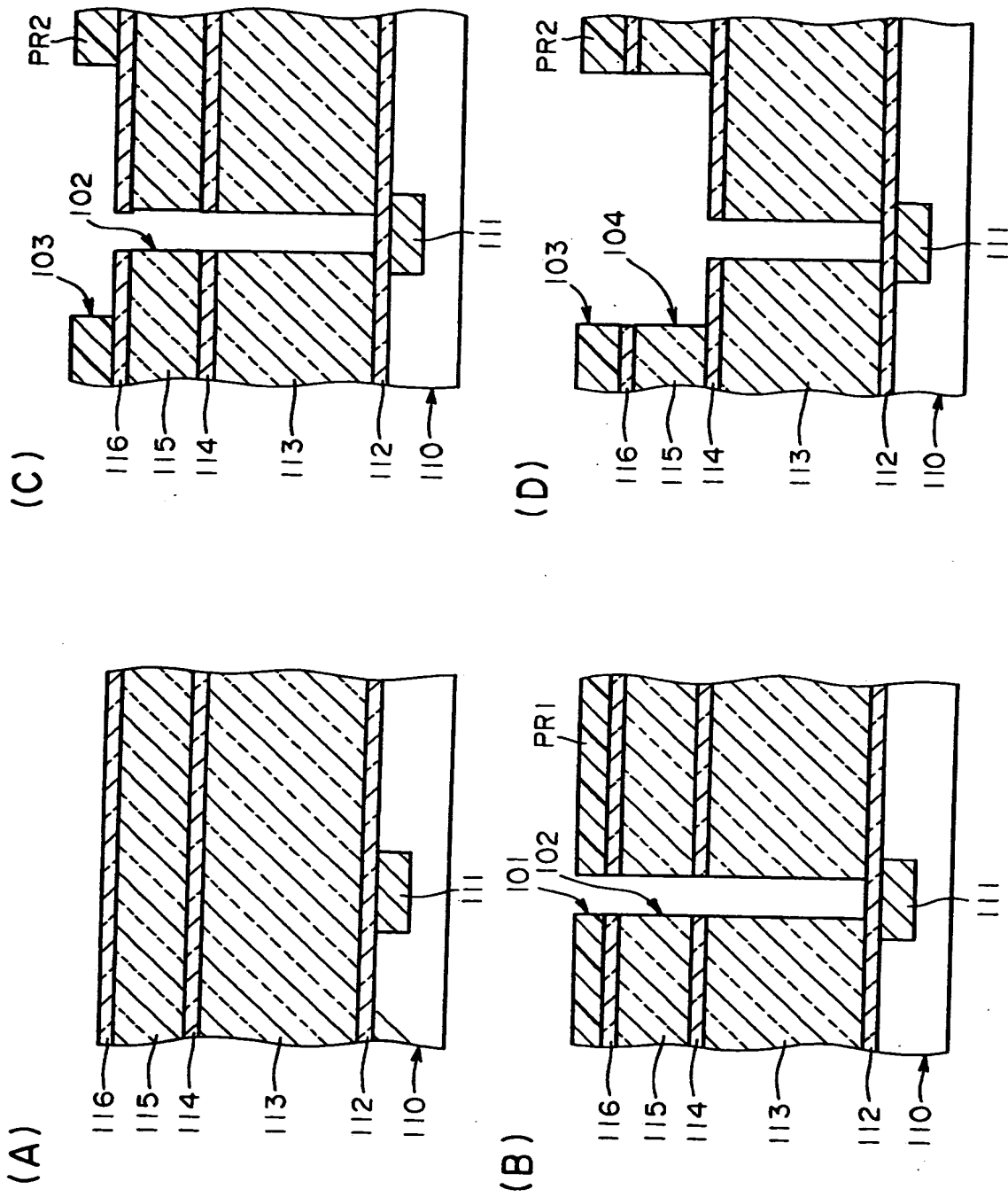
【図 11】



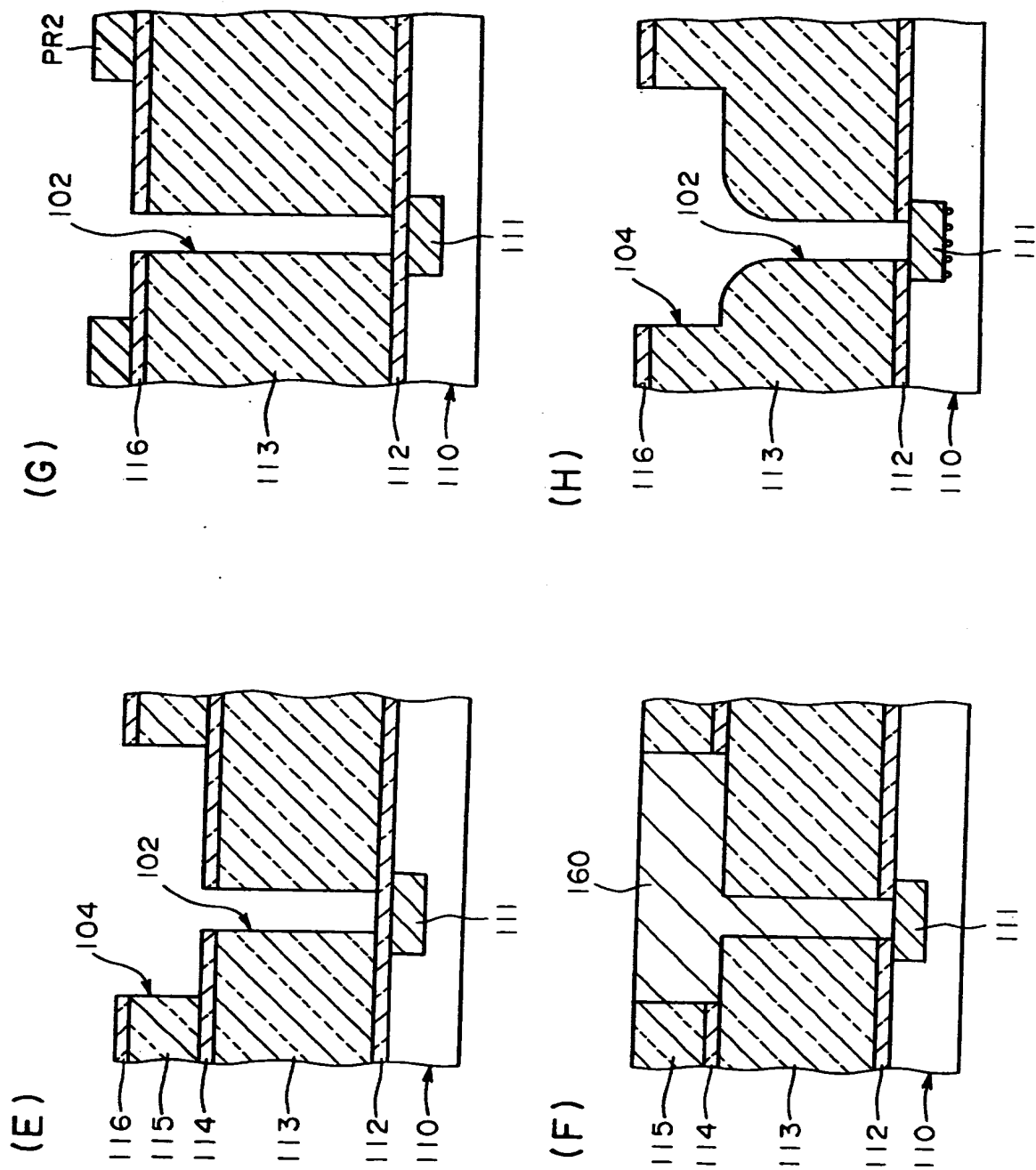
【図12】



【図 13】

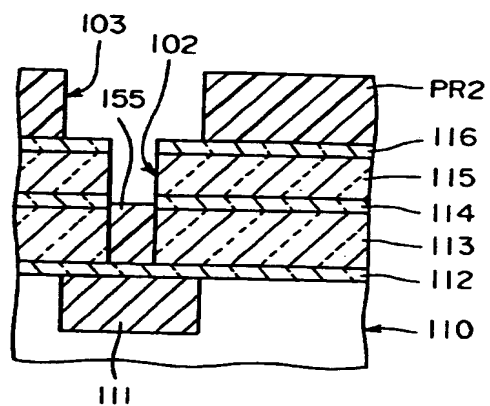


【図 14】

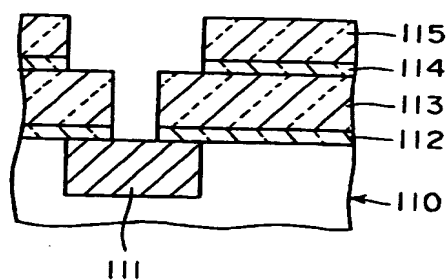


【図15】

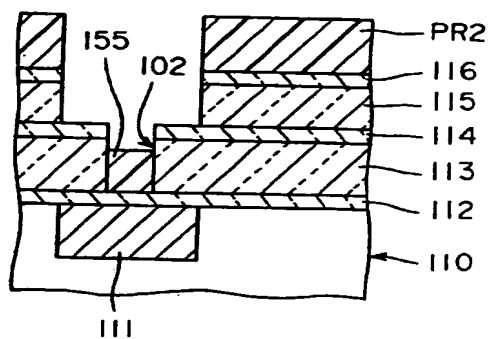
(A)



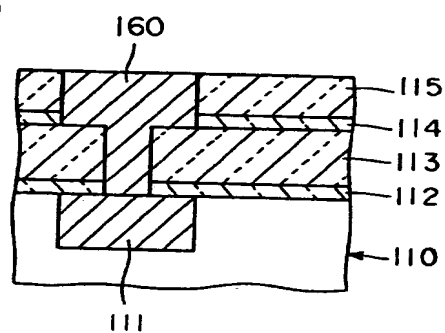
(D)



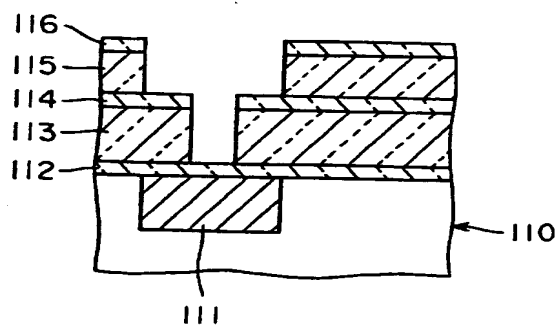
(B)



(E)

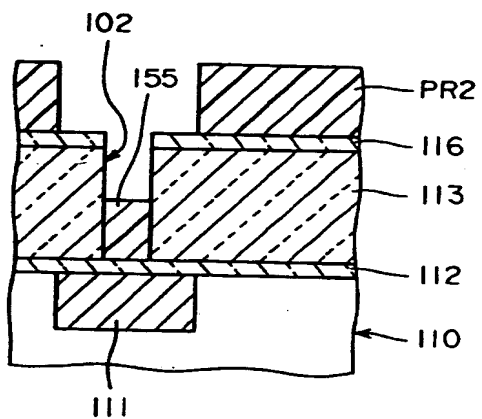


(C)

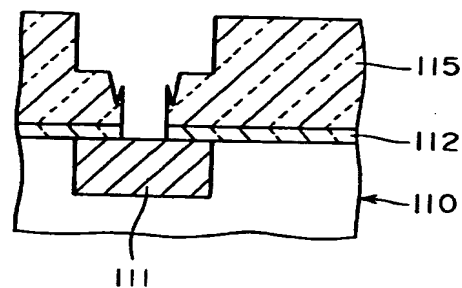


【図16】

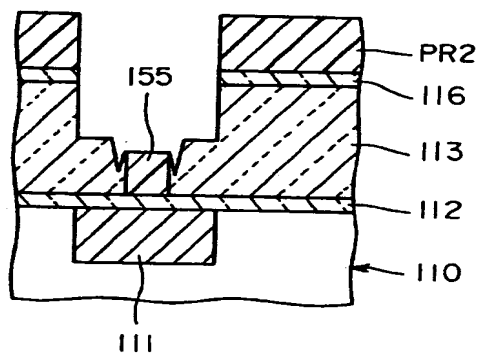
(A)



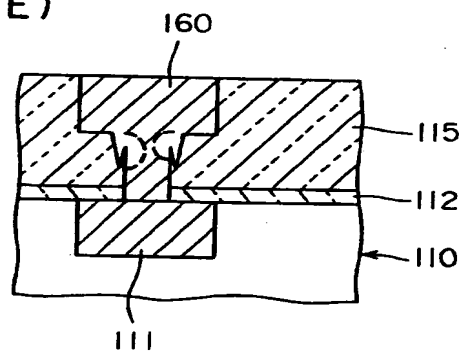
(D)



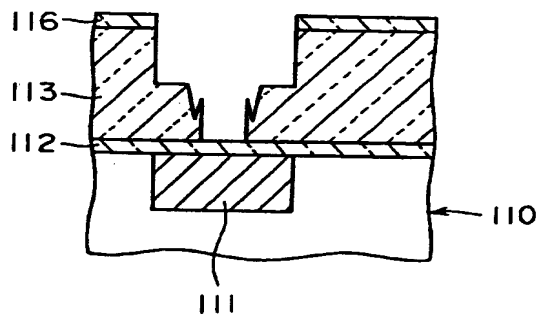
(B)



(E)

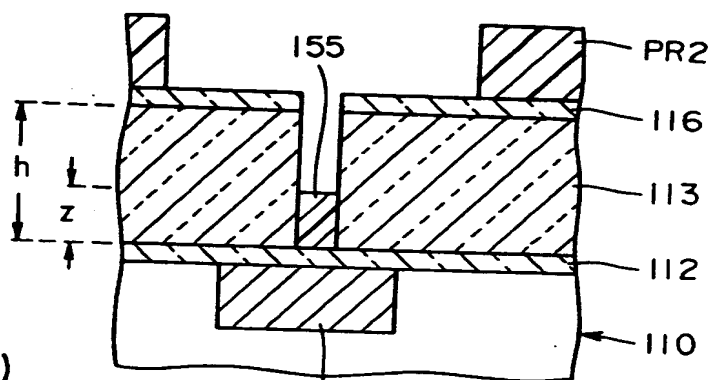


(C)

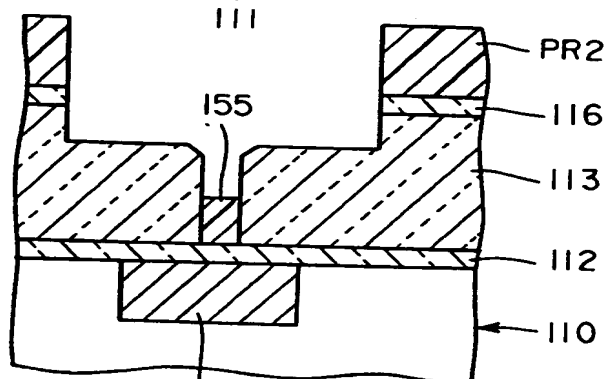


【図17】

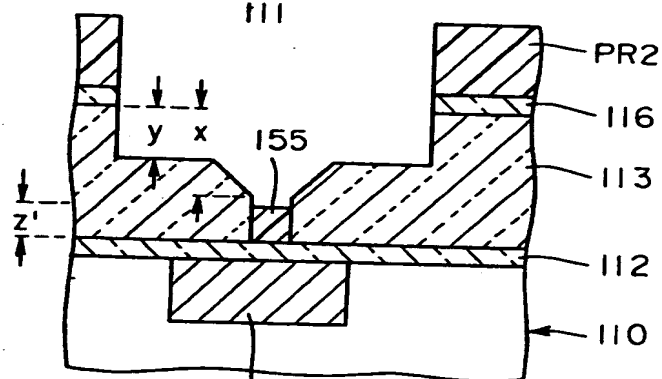
(A)



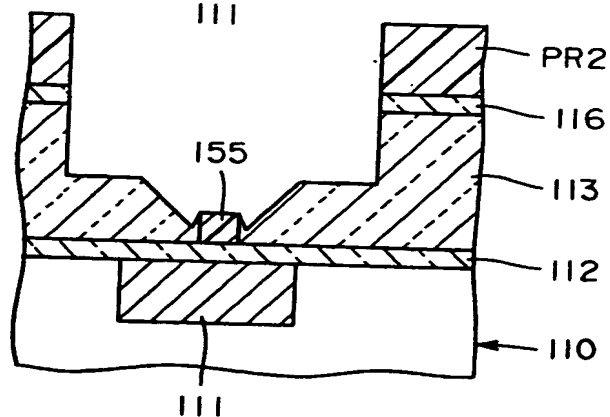
(B)



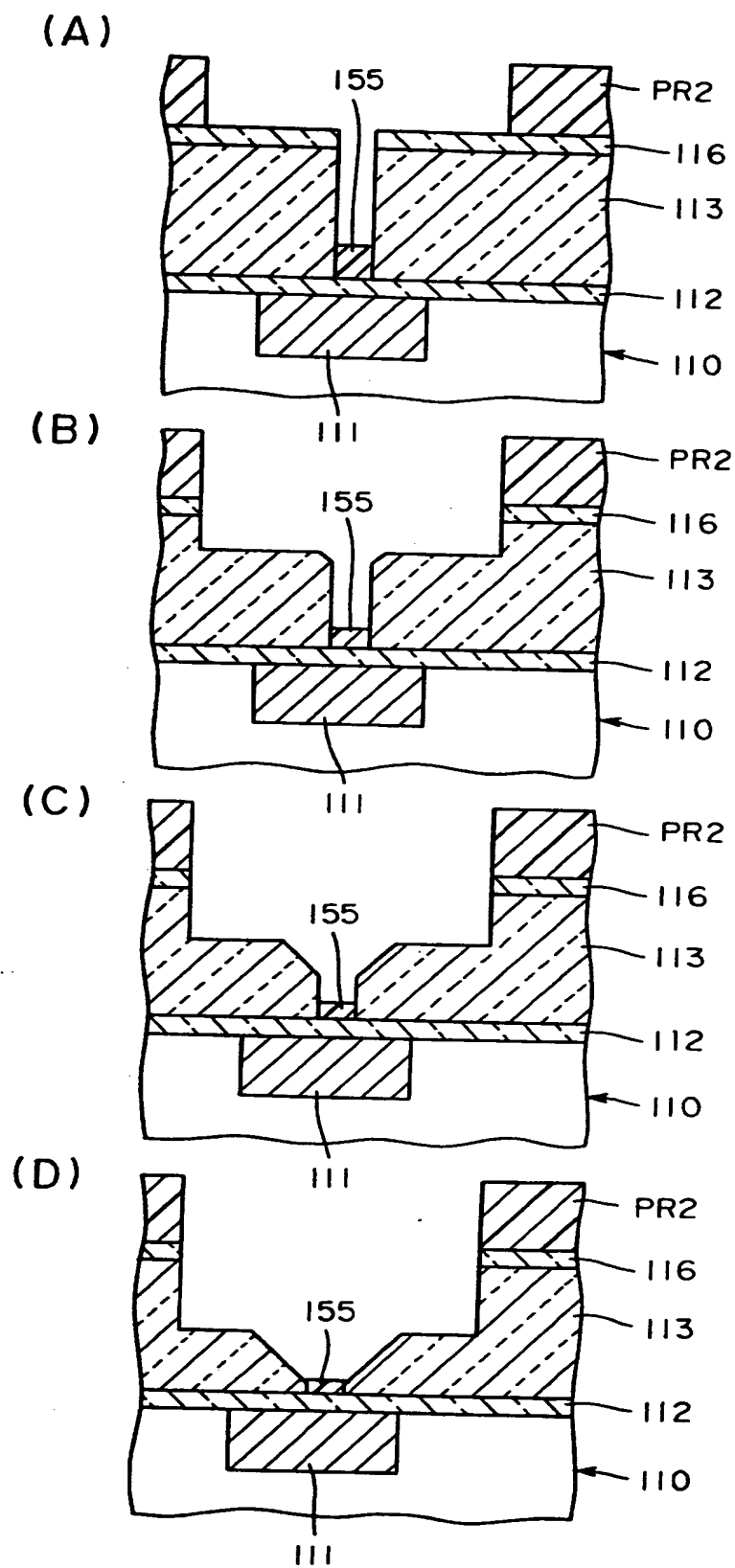
(C)



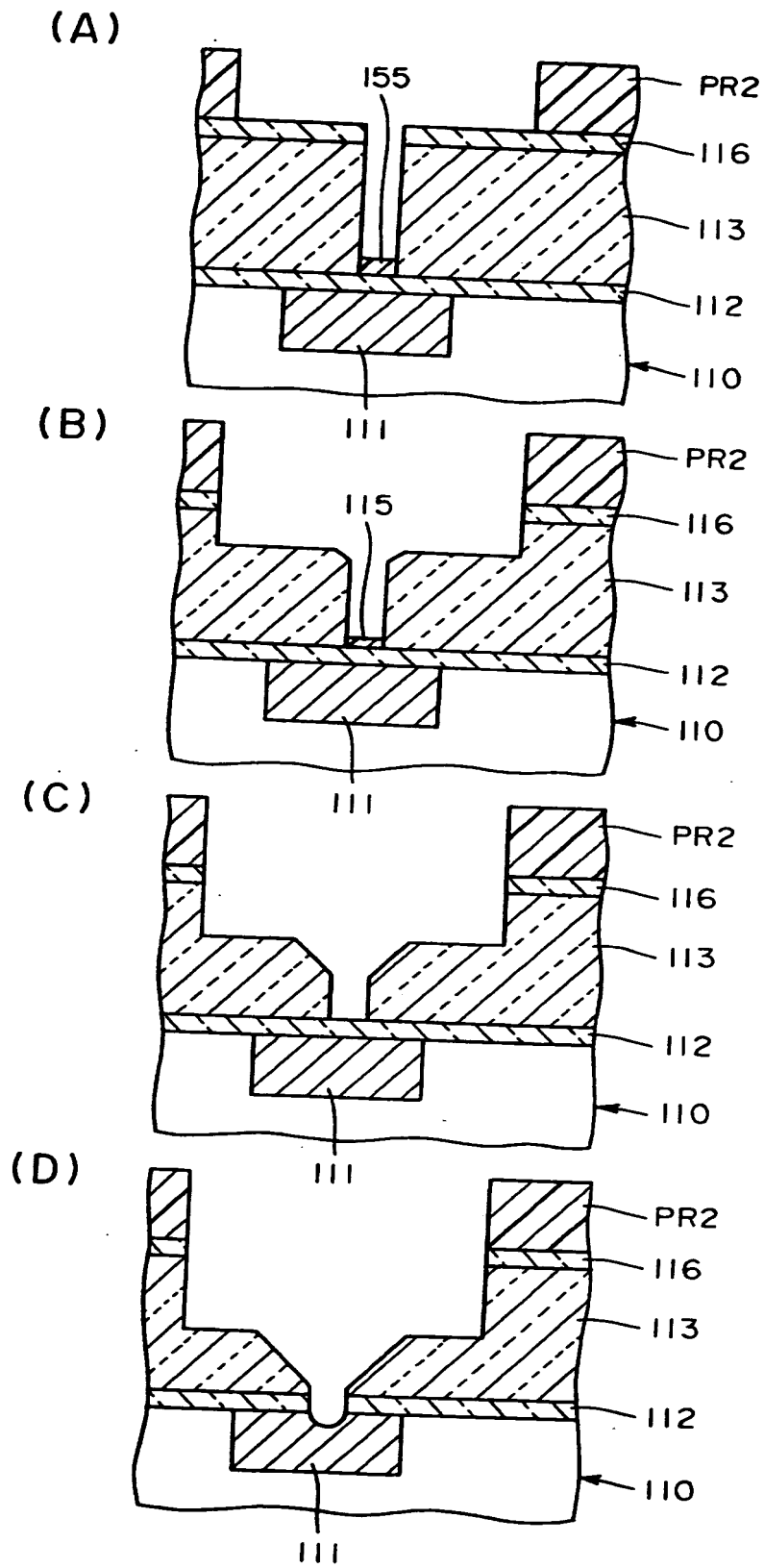
(D)



【図18】

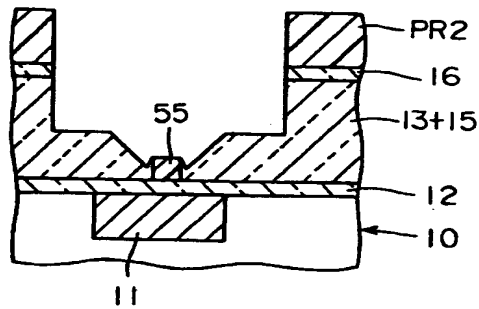


【図19】

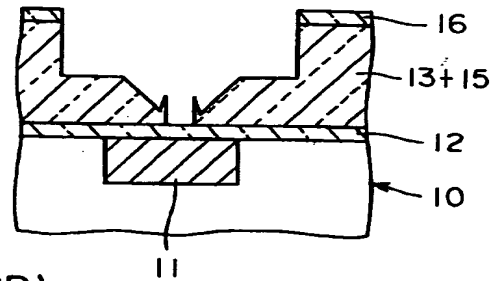


【図20】

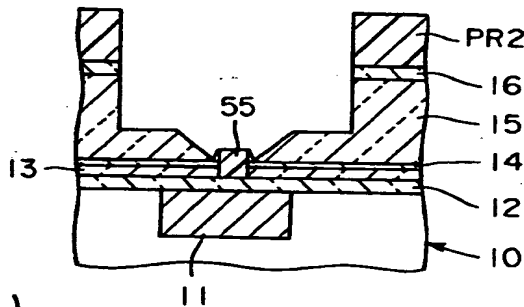
(AA)



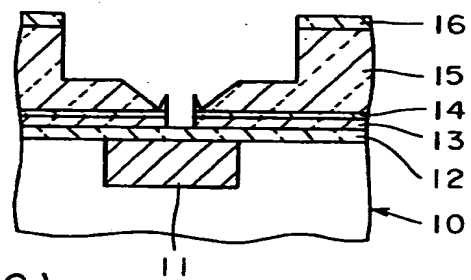
(BA)



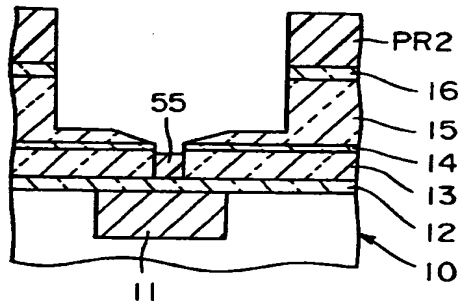
(AB)



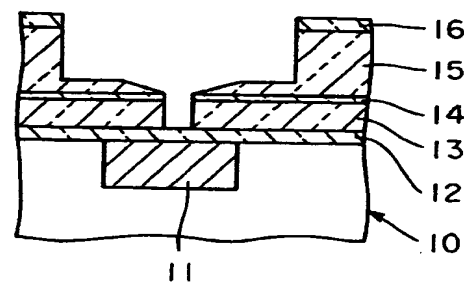
(BB)



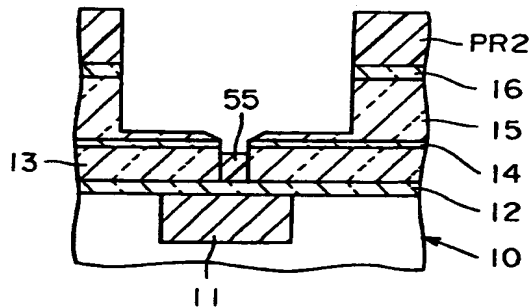
(AC)



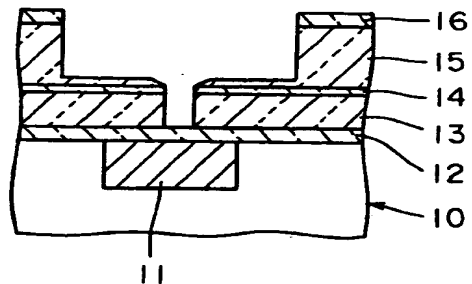
(BC)



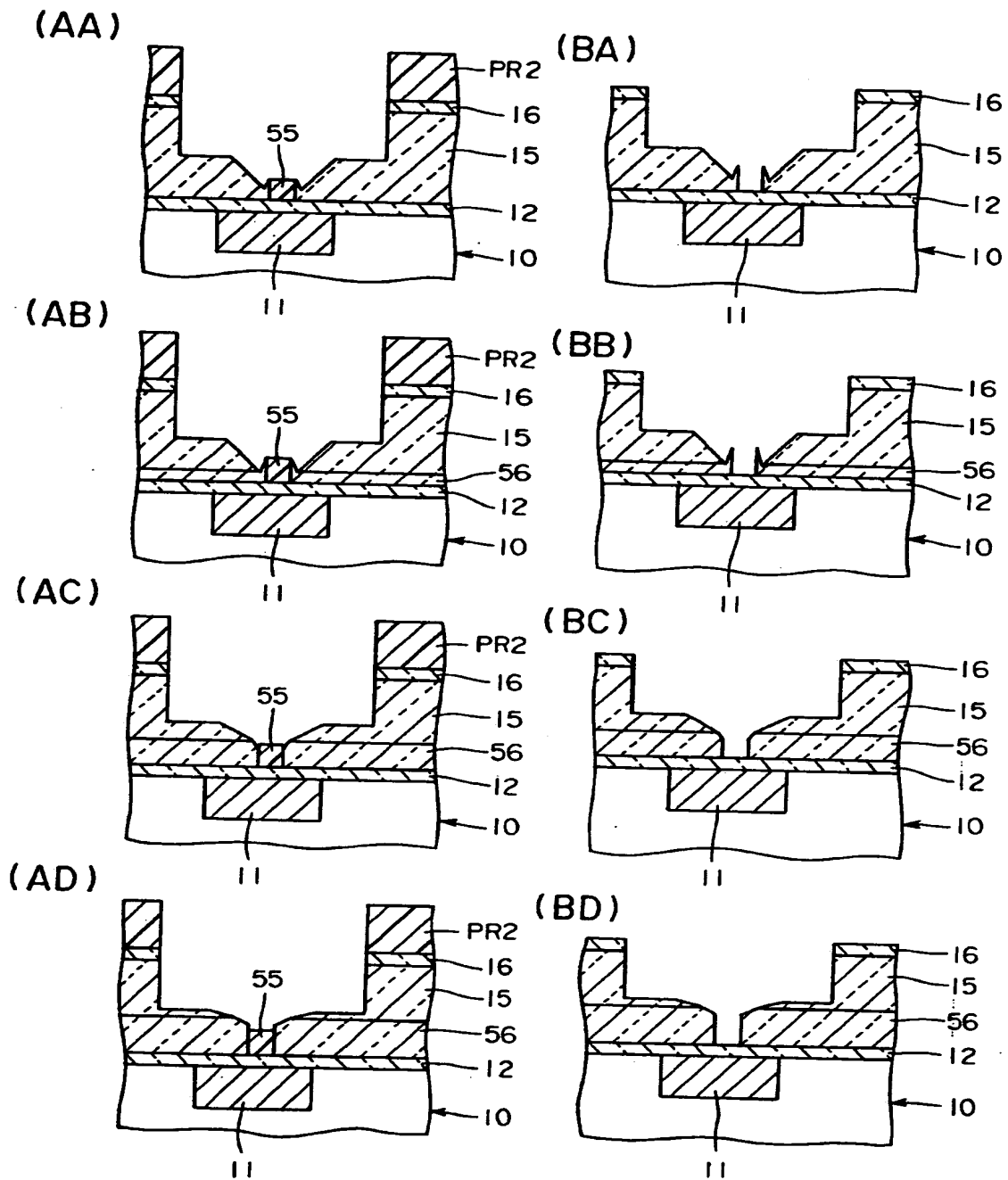
(AD)



(BD)



【図 2 1】



【書類名】 要約書

【要約】

【課題】 下層導電層の表面を十分保護することができ、信頼性が高く、配線容量が小さなデュアルダマシン配線を有する半導体装置を提供することである。

【解決手段】 半導体装置は、導電性領域を有する下地と、下地の表面を覆う絶縁性エッチストップ膜と、絶縁性エッチストップ膜上に形成された層間絶縁膜と、層間絶縁膜表面から第1の深さで形成された配線用溝と、配線用溝底面から導電性領域に達する接続用孔と、配線用溝および接続用孔を埋め込んで形成されたデュアルダマシン配線とを有し、層間絶縁膜が配線用溝の側面および底面を包む第1種の絶縁層と、第1種の絶縁層よりも下に配置され、第1種の絶縁層とエッチング特性の異なる第2種の絶縁層とを含む。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号

[000005223]

1. 変更年月日

1996年 3月26日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中4丁目1番1号

氏 名

富士通株式会社

出 願 人 履 歴 情 報

識別番号 [000237617]

1. 変更年月日 1990年 9月 6日

[変更理由] 新規登録

住 所 愛知県春日井市高蔵寺町2丁目1844番2
氏 名 富士通ヴィエルエスアイ株式会社